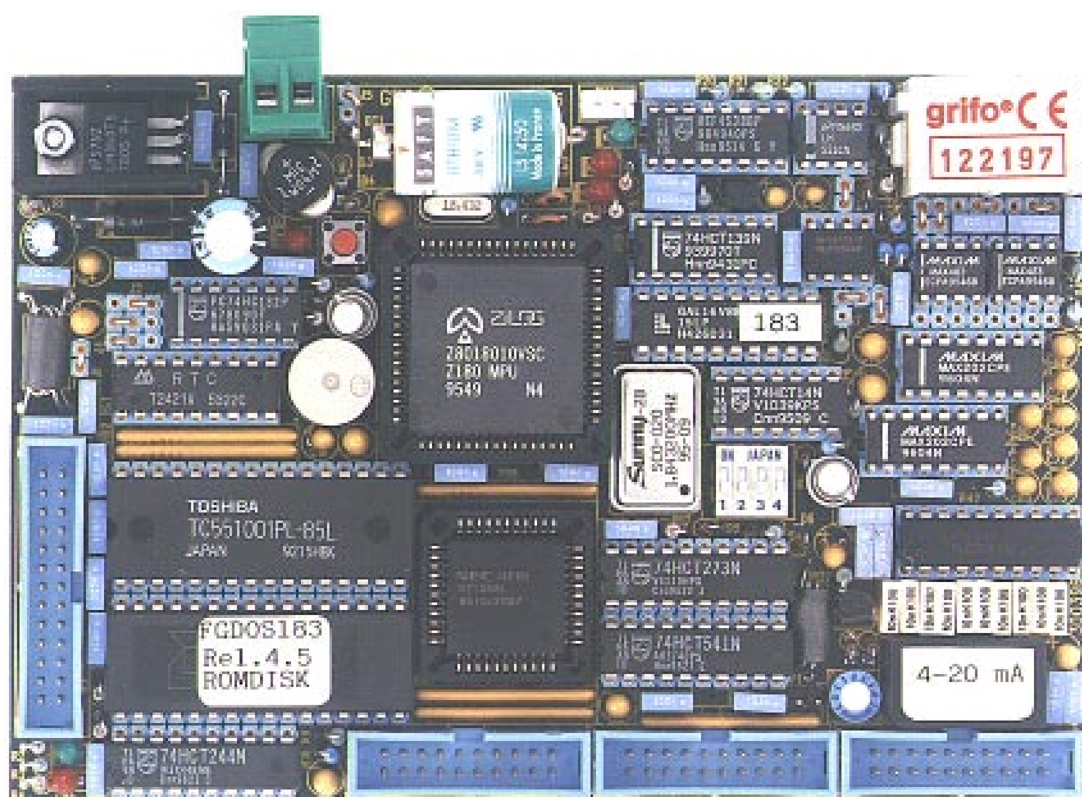
GPC® 183

General Purpose Controller Z8S180

MANUALE TECNICO



grifo®
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it



http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 183 Edizione 3.10 *Rel. 12 Giugno 2000*

GPC® 183

General Purpose Controller Z8S180

MANUALE TECNICO

Modulo Intelligente della serie **Abaco®** BLOCK, nel formato 100x149. Contenitore, opzionale, per guide ad Ω tipo DIN 46277-1 e DIN 46277-3. CPU Z8S180, fornito di base a 22 MHz. Fino a 512K di EPROM o FLASH e fino a 512K di SRAM. Tramite FGDOS la memoria eccedente i 64K é gestita come RAM/ROM disk. E' possibile cancellare e riprogrammare autonomamente la FLASH di bordo con il programma utente. Circuiteria di back up per SRAM e RTC, tramite batteria al LITIO interna ed esterna. Real Time Clock autonomo, con possibilità di generare INT. EEPROM seriale, fino ad 8K Bytes. 11 linee di A/D converter da 12 Bits, +2,5V fondo scala, oppure 0÷20 mA. 28 linee TTL di I/O, settabili da software, 2 LED di stato e BUZZER attivo. Interfaccia Clocked Serial I/O a disposizione utente, su connettore di I/O. 1 Dip Switch da 3 vie, leggibile da software e Dip per RUN/DEBUG mode. 2 Canali di Programmable Reload Timer interni da 16 bits. 2 linee seriali in RS232, di cui una settabile in RS422, RS485 o Current Loop. Doppio Baud Rate generator, settabile da software, fino a 115,2K Baud. Circuiteria di Watch Dog, disinseribile da hardware, con LED di segnalazione. Connettore di espansione per **Abaco®** I/O BUS da 26 vie. 2 connettori standard di I/O **Abaco®**, da 20 vie. 1 connettore standard di A/D **Abaco®**, da 20 vie. Funzioni di basso consumo come Halt, Iostop, Sleep, System Stop, Idle, Standby mode. Alimentatore opzionale ad ampio range, oppure singola alimentazione esterna a 5 Vdc, 235 mA. Protezione della logica di bordo dai transienti tramite TransZorb™. Vasta disponibilità di software di sviluppo quali Remote Symbolic Debugger, Macro Assembler, GET 80, FORTH, Compilatori C, HTC 80, Basic NSB8, Lisp, PASCAL 80, ecc.

grifo®
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it



http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 183 Edizione 3.10 *Rel. 12 Giugno 2000*

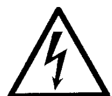
IMPORTANTE

Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante **grifo**® non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.
grifo® altresi si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per **grifo**®.
Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:


Attenzione: Pericolo generico


Attenzione: Pericolo di alta tensione

Marchi Registrati

INDICE GENERALE

INDICE DELLE FIGURE

INTRODUZIONE

L’uso di questi dispositivi é rivolto - IN VIA ESCLUSIVA - a personale specializzato.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all’uso competente e sicuro dei prodotti. Esse sono il frutto di un’elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - IN VIA ESCLUSIVA - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l’ambiente, interpretando un’elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall’ASSISTENZA TECNICA AUTORIZZATA, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l’Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell’uso di tali dispositivi, é conveniente che l’utente - PRIMA DI COMINCIARE AD OPERARE - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all’indice generale e all’indice analitico, posti rispettivamente all’inizio ed alla fine del manuale.

VERSIONE SCHEDA

Il presente manuale è riferito alla scheda **GPC® 183** versione **300396** e successive. La validità delle informazioni riportate è quindi subordinata al numero di versione della scheda in uso e l’utente deve quindi sempre verificare la giusta corrispondenza tra le due indicazioni. Sulla scheda il numero di versione è riportato in più punti sia a livello di serigrafia che di stampato (ad esempio sopra la batteria BT1 nel lato componenti).

CARATTERISTICHE GENERALI

La scheda **GPC® 183** é un potente modulo di controllo, della fascia **Low-Cost**, in grado di funzionare autonomamente come periferica intelligente e/o remotata in una più vasta rete di telecontrollo e/o di acquisizione.
La **GPC® 183** é fornita di un supporto in plastica provvisto degli attacchi per le guide ad **Omega** tipo **DIN 46277-1** e **DIN 46277-3**. In questo modo non é necessario l'uso di un rack, perché la scheda può essere montata, in modo più economico, direttamente nel quadro elettrico.
La programmazione e l'uso delle risorse della scheda diventa estremamente semplice grazie all'uso del potente Sistema Operativo Romato **FGDOS**. Esso supporta i linguaggi ad alto livello quali Compilatori BASIC, PASCAL, C, ecc.; mette a disposizione le risorse di memoria come se fossero **ROM/RAM disk**, consentendo un immediato utilizzo ad alto livello di questi dispositivi. In abbinamento alla **MCI 64**, **FGDOS** gestisce le schede **PCMCIA** di **RAM Cards**, e direttamente, le periferiche di bordo come **A/D Converter**, **EEPROM** seriale. Consente inoltre la gestione diretta dei **display LCD** o **Fluorescenti** e di una tastiera a matrice. Per un uso immediato di questa funzionalità, sono disponibili delle schede della serie **KDx x24** oppure, per chi ha bisogno di un oggetto finito, esistono le **QTP xxP**. Questi pannelli operatore, offerti nella versione a giorno, hanno la stessa estetica della **QTP xx** ma, non disponendo di intelligenza locale ,vengono comandati direttamente dalla **GPC® 183**, consentendo così una notevole riduzione dei costi. **FGDOS**, oltre alla nota facilità di debugger, consente di programmare direttamente a bordo scheda una **FLASH** con il programma utente.
La **GPC® 183** é dotata di una serie di connettori normalizzati, standard **Abaco®**, che le consentono di utilizzare immediatamente la numerosa serie di moduli **BLOCK** di I/O oppure permettono il collegamento, in modo molto semplice ed economico, delle interfacce da campo costruite direttamente dall'utente o da terze parti.
La presenza del connettore **Abaco® I/O BUS** consente inoltre di poter pilotare direttamente le schede di I/O tipo **ZBR 324**, **ZBT 324, ZBR 246**, **ZBT 246**, e tramite **ABB 03**, **ABB 05**, ecc. é possibile gestire tutte le numerose schede periferiche disponibili sul **BUS Abaco®**.

- Modulo Intelligente della serie **Abaco® BLOCK**, nel formato 100x149
- Contenitore, opzionale, per guide ad Ω tipo **DIN 46277-1** e **DIN 46277-3**
- **CPU Z8S180**, fornito di base a **22 MHz**.
- Fino a **512K di EPROM** o **FLASH** e fino a **512K** di **SRAM**. Tramite **FGDOS** la memoria eccedente i 64K é gestita come RAM/ROM disk. E' possibile cancellare e riprogrammare autonomamente la FLASH di bordo con il programma utente.
- Circuiteria di **back up** per **SRAM e RTC**, tramite batteria al **LITIO** interna ed esterna
- **Real Time Clock** autonomo, con possibilità di generare INT
- **EEPROM** seriale, fino ad **8K** Bytes
- 11 linee di **A/D converter** da **12 Bits**, +2,5V fondo scala, oppure 0÷20 mA
- **28** linee TTL di **I/O**, settabili da software, **2 LED** di stato e **BUZZER** attivo
- Interfaccia Clocked Serial I/O a disposizione utente, su connettore di I/O
- 1 Dip Switch da 3 vie, leggibile da software e Dip per RUN/DEBUG mode
- 2 Canali di Programmable Reload Timer interni da 16 bits
- 2 linee seriali in **RS232**, di cui una settabile in **RS422**, **RS485** o **Current Loop**
- Doppio Baud Rate generator, settabile da software, fino a **115,2K** Baud
- Circuiteria di **Watch Dog**, disinseribile da hardware, con LED di segnalazione
- Connettore di espansione per **Abaco® I/O BUS** da 26 vie
- 2 connettori standard di **I/O Abaco®**, da 20 vie
- 1 connettore standard di **A/D Abaco®**, da 20 vie

- Funzioni di basso consumo come **Halt**, **Iostop**, **Sleep**, **System Stop**, **Idle**, **Standby** mode
- Alimentatore opzionale ad ampio range, oppure singola alimentazione esterna a **+5 Vdc**, **235 mA**
- Protezione della logica di bordo dai transienti tramite **TransZorb™**
- Vasta disponibilità di software di sviluppo quali **Remote Symbolic Debugger, Macro Assembler, GET 80, FORTH, Compilatori C, HTC 80, Basic NSB8, Lisp, PASCAL 80**, ecc.

Viene di seguito riportata una descrizione dei blocchi funzionali della scheda, con indicate le operazioni effettuate da ciascuno di essi. Per una più facile individuazione di tali blocchi e per una verifica delle loro connessioni, fare riferimento alla figura 1.

PROCESSORE DI BORDO

La scheda **GPC® 183** é predisposta per accettare il processore **Z8S180** prodotto dalla **ZILOG**. Tale processore ad 8 bit é codice compatibile con lo Z80 e Z180 ed é quindi caratterizzato da un esteso set di istruzioni (170), da un'alta velocità di esecuzone e di manipolazione dati e da un efficiente gestione vettorizzata degli interrupts. Di fondamentale importanza é la presenza delle seguenti periferiche interne al microprocessore:

- 2 Timer a 16 bit, con funzione di prescaler programmabile (PRT);
- 2 linee seriali asincrone complete di segnali di handshake (ASCII);
- 2 canali di DMA per trasferimenti dati ad alta velocità (DMAC);
- Gestore di memoria estesa (MMU);
- 1 linea seriale sincrona (CSI/O);
- Interrupt controller;
- Generatore di cicli di wait per l'accesso a dispositivi esterni;
- Possibilità di operare in 5 modi diversi per minimizzare i consumi.

Per maggiori informazioni sul componente si faccia riferimento all'apposita documentazione della casa costruttrice, oppure all'appendice B di questo manuale.

BUZZER

Sulla **GPC® 183** è presente una circuiteria in grado di emettere un suono costante, basata su un buzzer capacitivo. Questa circuiteria viene abilitata e/o disabilitata via software tramite la logica di controllo e può essere utilizzata per generare allarmi acustici, feed back sonori, ecc.

CLOCK

Sulla **GPC® 183** é presente una circuiteria che provvede a generare rispettivamente la frequenza di clock per la CPU (22,1184 MHz); da cui vengono ricavate anche le frequenze necessarie per le altre sezioni della scheda (Timer, Seriali, ecc.). In caso di applicazioni particolari, la frequenza di clock può essere variata, intervenendo via hardware sull'apposita circuiteria (per maggiori informazioni contattare direttamente la **grifo®**). Si ricorda inoltre che la frequenza di clock della CPU risulta essere la stessa del quarzo montato a bordo scheda, grazie alla programmazione di un registro della CPU.

MEMORIE

E' possibile dotare la scheda di un massimo di 1032K di memoria variamente suddivisi con un massimo di 512KByte di EPROM o FLASH EPROM, 512KByte di RAM statica ed infine 8KByte di EEPROM seriale. La scelta della configurazione delle memorie presenti sulla scheda può avvenire in relazione all'applicazione da risolvere e quindi alle esigenze dell'utente. Da questo punto di vista si ricorda che la scheda viene normalmente fornita con 128KByte SRAM di lavoro più 512 Byte di EEPROM seriale e che tutte le rimanenti configurazioni di memoria devono essere quindi opportunamente specificate in fase di ordine della scheda. Sfruttando la circuiteria di back up di bordo più la batteria tampone esterna, si ha la possibilità di mantenere i dati anche in assenza di alimentazione. Questa caratteristica fornisce alla scheda la possibilità di ricordare in ogni condizione, una serie di parametri come ad esempio la configurazione o lo stato del sistema, anche per lunghi periodi di inattività. Il mappaggio delle risorse di memoria avviene tramite una opportuna circuiteria di bordo, che provvede ad allocare i dispositivi all'interno dello spazio d'indirizzamento del microprocessore. Per maggiori informazioni fare riferimento al capitolo "DESCRIZIONE HARDWARE" e "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO". Per una descrizione più approfondita sui dispositivi di memoria, sugli zoccoli da utilizzare e sullo strippaggio della scheda, fare riferimento al paragrafo "SELEZIONE MEMORIE".

COMUNICAZIONE SERIALE

La comunicazione seriale é completamente settabile via software per quanto riguarda sia il protocollo sia la velocità (da un minimo di 50 ad un massimo di 115,2K Baud con frequenza di clock standard) ed in modo completamente autonomo per entrambe le linee di comunicazione. Tali settaggi avvengono tramite la programmazione dell'ASCII interno allo Z8S180, quindi per ulteriori informazioni si faccia riferimento alla documentazione tecnica della casa costruttrice o all'appendice B di questo manuale. Dal punto di vista hardware é invece possibile selezionare, tramite una serie di comodi jumpers, il protocollo fisico di comunicazione. In particolare una linea é sempre bufferata in RS 232, mentre la rimanente può essere bufferata in RS 232, Current Loop, RS 485 ed RS 422; in quest'ultimo caso é definibile anche se la comunicazione avviene in Full Duplex o Half Duplex.

ALIMENTAZIONE DI BORDO

Una delle caratteristiche peculiari della **GPC® 183** é quella di poter essere provvista di una sezione alimentatrice a bordo scheda che provvede a generare l'unica tensione di alimentazione necessaria di +5 Vdc. In caso di assenza della sezione alimentatrice quest'ultima é l'unica tensione richiesta dalla scheda, viceversa sono disponibili due diverse sezioni alimentatrici: quella lineare che richiede una tensione 6÷12 Vac e quella switching che necessita di una tensione 12÷24 Vac (per maggiori informazioni vedere apposito paragrafo "TENSIONI DI ALIMENTAZIONE". La tensione di alimentazione può essere fornita tramite appositi connettori standardizzati di facile ed immediata installazione. Sulla scheda sono state adottate tutte le scelte circuitali e componentistiche che tendono a ridurre i consumi, compresa la possibilità di far lavorare il microprocessore in idle e stop mode ed a ridurre la sensibilità ai disturbi.

Il tipo di alimentazione della scheda non può essere variato dall'utente e deve quindi essere specificato in fase di ordine.

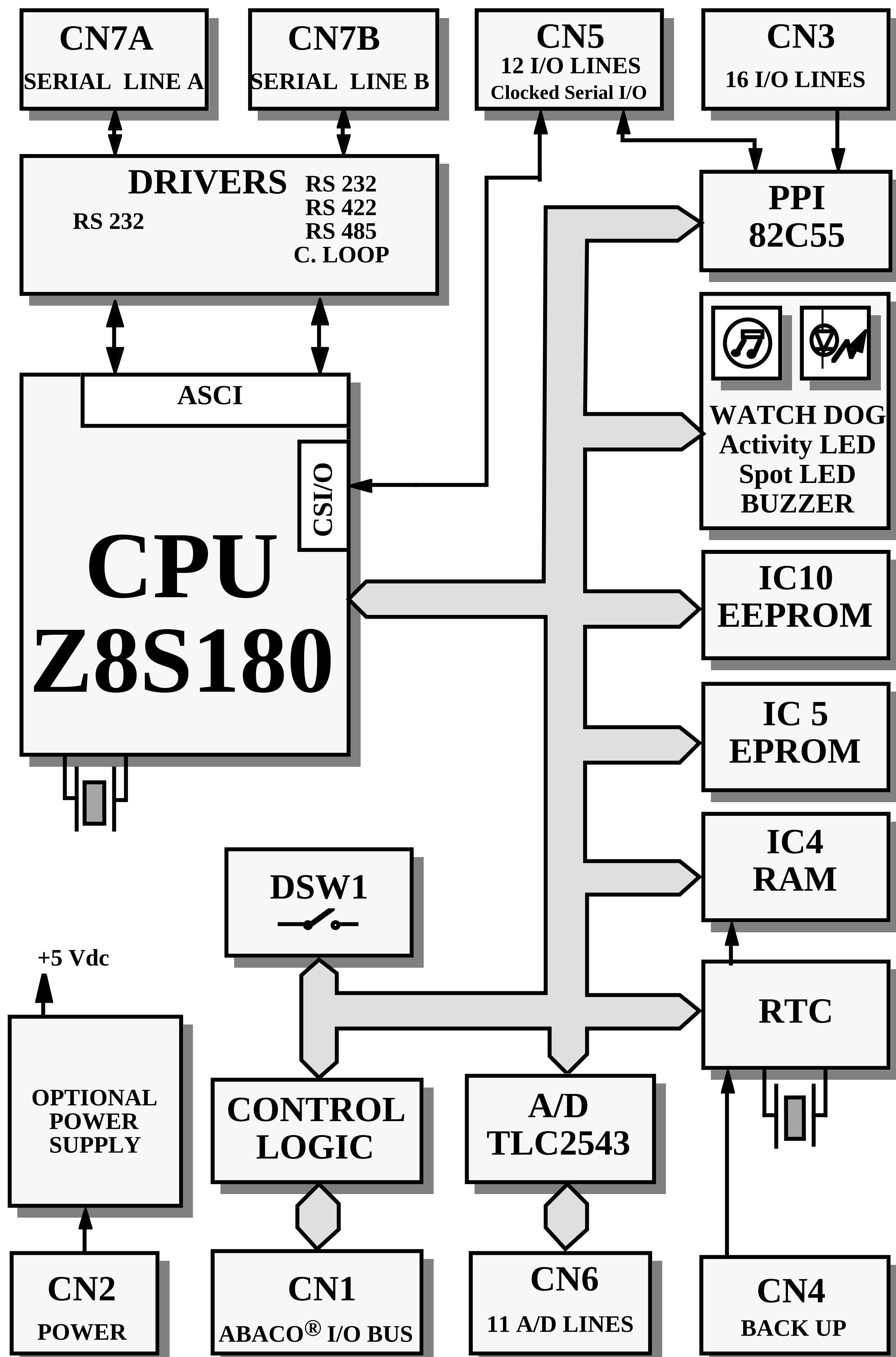


FIGURA 1: SCHEMA A BLOCCHI

ABACO® I/O BUS

Una delle caratteristiche di fondamentale importanza della **GPC® 183** è quella di disporre del cosiddetto **ABACO®** I/O BUS: ovvero un connettore normalizzato **ABACO®** con cui è possibile collegare la scheda ad una serie di moduli esterni intelligenti e non. Tra questi si trovano moduli per acquisizione di segnali analogici (A/D), per la generazione di segnali analogici (D/A), per gestione di linee di I/O logico, per counter, ecc. e ne possono essere realizzati anche su specifiche richieste dell'utente. Utilizzando mother board come l'**ABB 03** o l'**ABB 05** é inoltre possibile gestire tutte le schede periferiche in formato Europa con interfaccia per BUS **ABACO®**. Tale caratteristica rende la scheda espandibile con un ottimo rapporto prezzo/prestazioni e quindi adatta a risolvere molti dei problemi dell'automazione industriale.

LINEE DI I/O DIGITALI

Sulla scheda sono presenti tre port paralleli da 8 bit per un totale di 24 linee di I/O digitale a livello TTL, con direzionalità settabile a livello di port, gestite dal PPI 82C55 più 4 linee di Input digitale sempre a livello TTL, gestite direttamente dalla logica di controllo. Tali linee sono collegate direttamente a due connettori standardizzati di I/O **ABACO®** ed hanno la possibilità di essere direttamente collegate a numero schede d'interfaccia. Le 28 linee di I/O vengono completamente gestite via software tramite la programmazione di 5 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo.

REAL TIME CLOCK

La **GPC® 183** dispone di un completo Real Time Clock in grado di gestire ore, minuti, secondi, giorno del mese, mese, anno e giorno della settimana in modo completamente autonomo. L'alimentazione del componente é fornita dalla circuiteria di back up in modo da garantire la validità dei dati in ogni condizione operativa ed é completamente gestito via software, tramite la programmazione di 16 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo. La sezione di RTC può inoltre generare interrupt in corrispondenza di intervalli di tempo programmabili via software, in modo da poter periodicamente distogliere la CPU dalle normali operazioni oppure periodicamente risvegliarla dagli stati di halt, idle, stop mode.

WATCH DOG

La scheda **GPC® 183** é provvista di una circuiteria di watch dog che, se utilizzata, consente di uscire da stati di loop infinito o da condizioni anomale non previste dal programma applicativo. Tale circuiteria é composte da una sezione astabile con un tempo d'intervento di 1,5 sec. Tutta la gestione avviene via software (tramite l'accesso ad un opportuno registro situato nello spazio d'indirizzamento della CPU) e conferisce al sistema basato sulla scheda, una sicurezza estrema. I tempi d'intervento della circuiteria di watch dog possono essere eventualmente variati su specifica richiesta dell'utente, intervenendo su apposite reti RC; in caso di necessità contattare la **Grifo®**.

TASTO DI RESET

Sulla **GPC® 183** é presente un comodo pulsante di reset che una volta premuto fà ripartire la scheda da una condizione di azzeramento generale. La funzione principale di questo tasto é quella di uscire da condizioni di loop infinito, soprattutto durante la fase di debug o di garantire uno stato certo di partenza.

A/D CONVERTER

La sezione di A/D converter della **GPC® 183** é basata su un convertitore in grado di acquisire 11 canali con una risoluzione massima di 12 bits. Dal punto di vista software é possibile definire quali canali attivare, dare lo start o lo stop all' acquisizione ecc., tramite la gestione di una comunicazione sincrona con il dispositivo. Al fine di semplificare la gestione dello stesso A/D alcuni pacchetti software forniscono delle procedure di utility che gestiscono la sezione in tutte le sue parti. I segnali analogici collegabili sono segnali in tensione variabili nel range 0÷2,49 V oppure in corrente variabili nel range 0÷20 mA; possono essere richieste anche delle configurazioni miste con alcuni ingressi analogici in tensioni ed alcuni in corrente. La sezione di A/D converter é opzionale e deve essere quindi esplicitamente ordinata, specificando anche il tipo degli ingressi analogici.

CONFIGURAZIONE SCHEDA

Allo scopo di rendere configurabile la scheda ed in particolare il programma applicativo sviluppato, é stato previsto un dip switch a 4 vie. La possibilità di acquisire via software lo stato di questi dips, fornisce all'utente la possibilità di gestire diverse condizioni tramite un unico programma, senza dover rinunciare ad altre linee d'ingresso (le applicazioni caratteristiche sono: selezione della lingua di rappresentazione, definizione parametri del programma, selezione delle modalità operative, ecc.). Sempre in merito alla configurazione della scheda, sulla **GPC® 183** sono stati previsti due LED di attività, gestiti via software con cui l'utente può segnalare visivamente lo stato di tutto il sistema.

LOGICA DI CONTROLLO

Il mappaggio di tutti i registri delle periferiche presenti sulla scheda e dei dispositivi di memoria, é affidata ad un'opportuna logica di controllo che si occupa di allocare tali dispositivi nello spazio d'indirizzamento della CPU. Per maggiori informazioni fare riferimento al paragrafo "MAPPAGGIO DELL'I/O".

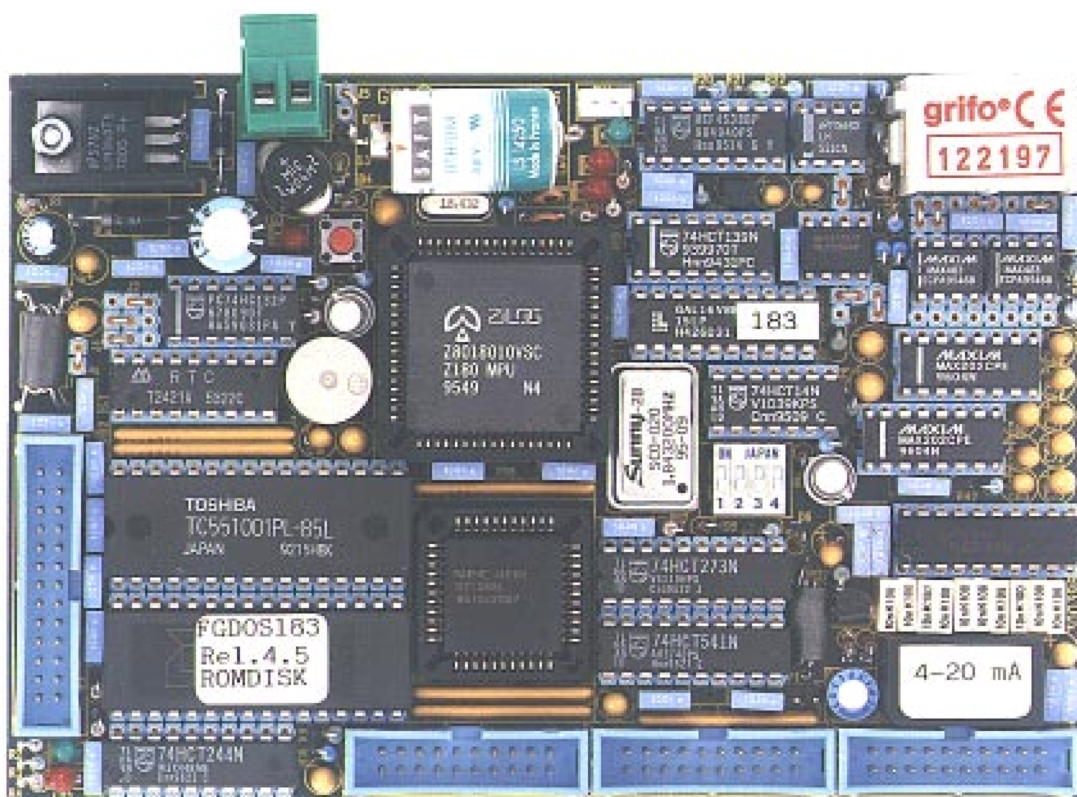


FIGURA 2: FOTO SCHEDA

SPECIFICHE TECNICHE

CARATTERISTICHE GENERALI

Risorse della scheda:	24 input/output digitali TTL (PPI) 4 input digitali TTL 2 timer a 16 bit (PRT) 1 linea seriale RS 232 (ASCI 1) 1 linea seriale RS 232, RS 422, RS 485, current loop (ASCI 0) 11 linee di A/D converter 1 tasto locale di reset 2 LEDs gestibili via software 1 watch dog hardware astabile 1 real time clock 1 buzzer 1 dip switch per un totale di 4 dips 1 interfaccia **ABACO®** I/O BUS 1 sezione alimentatrice

Memoria indirizzabile:	IC 5:	EPROM da 128K x 8 a 512K x 8 FLASH EPROM da 128K x 8 a 512K x 8
	IC 4:	RAM da 128K x 8 a 512K x 8
	IC 10:	EEPROM seriale da 256 byte a 8K byte

CPU di bordo:	ZILOG Z8S180
Frequenza quarzo (clock):	22,1184 (22,1184) MHz
Risoluzione A/D:	12 bit
Tempo conversione A/D:	10 µsec

CARATTERISTICHE FISICHE

Dimensioni (L x A x P):	100 x 149 x 25 mm	(senza contenitore)
	110 x 160 x 60 mm	(con contenitore per guide DIN)
Peso:	170 g	(senza contenitore)
	280 g	(con contenitore per guide DIN)

Connettori:	CN1:	26 vie scatolino verticale M
	CN2:	2 vie rapida estrazione M
	CN3:	20 vie scatolino verticale M
	CN4:	2 vie scatolino verticale M
	CN5:	20 vie scatolino verticale M
	CN6:	20 vie scatolino verticale M
	CN7A:	Plug a 6 vie
	CN7B:	Plug a 6 vie

Range di temperatura:	da 0 a 50 gradi Centigradi		
Umidità relativa:	20% fino a 90%		(senza condensa)
Tempi intervento watch dog:	1,5 sec		

CARATTERISTICHE ELETTRICHE

Tensione di alimentazione:	5 Vdc		(senza sezione alimentatrice)
	6÷12 Vac	*	(sezione alimentatrice lineare)
	12÷24 Vac		(sezione alimentatrice switching)
Corrente assorbita sui 5 Vdc:	240 mA		(configurazione base)
	180 mA		(conf. base+ basso consumo)
	280 mA		(conf. massima)
Corrente fornita sui +5 Vdc per carichi esterni:	720 mA	*	(sezione alimentatrice switching)
	720 mA	*	(sezione alimentatrice lineare)
Batteria esterna di back up:	3,6÷5 Vdc		
Corrente di back up:	2 μ A		
Ingressi analogici in tensione:	0÷2,49 V		
Ingressi analogici in corrente:	0÷20; 4÷20 mA		(con modulo di conversione)
Impedenza ingressi analogici:	1 KΩ		
Rete terminazione RS 422-485:	Resistenza terminazione linea=		120 Ω
	Resistenza di pull up sul positivo=		3,3 KΩ
	Resistenza di pull down sul negativo=		3,3 KΩ

* I dati riportati sono riferiti ad un lavoro a temperatura ambiente di 20 gradi centigradi (per ulteriori informazioni fare riferimento al paragrafo “TENSIONE DI ALIMENTAZIONE”).

INSTALLAZIONE

In questo capitolo saranno illustrate tutte le operazioni da effettuare per il corretto utilizzo della scheda. A questo scopo viene riportata l'ubicazione e la funzione degli strip, dei connettori e dei LEDs, ecc. presenti sulla **GPC® 183**.

CONNESSIONI CON IL MONDO ESTERNO

Il modulo **GPC® 183** è provvisto di 7 connettori con cui vengono effettuati tutti i collegamenti con il campo e con le altre schede del sistema di controllo da realizzare. Di seguito viene riportato il loro pin out ed il significato dei segnali collegati; per una facile individuazione di tali connettori, si faccia riferimento alla figura 21, mentre per ulteriori informazioni a riguardo del tipo di connessioni, fare riferimento alle figure successive che illustrano il tipo di collegamento effettuato a bordo scheda.

CN2 - CONNETTORE ALIMENTAZIONE CON SEZIONE ALIMENTATRICE

CN2 é un connettore a morsettiera per rapida estrazione, composto da 2 contatti. Tramite CN2 deve essere fornita la tensione di alimentazione della scheda. Utilizzando la scheda senza la sezione alimentatrice, la tensione +5 Vdc deve essere fornita tramite il pin 26 (+Vdc) e il pin 25 (GND) di CN1.

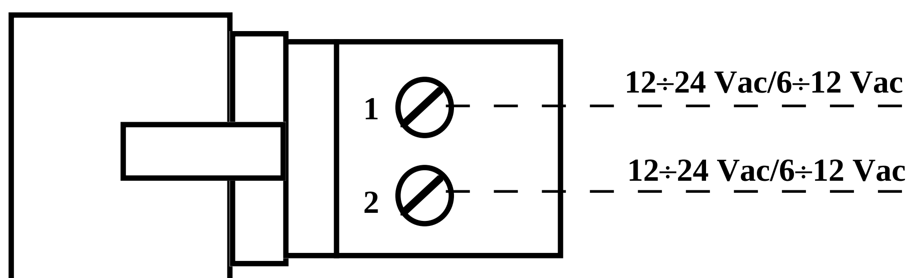


FIGURA 3: CN2 - CONNETTORE ALIMENTAZIONE CON SEZIONE ALIMENTATRICE

Legenda:

12÷24 Vac / 6÷12 Vac =	I	- Linee per l'alimentazione 12÷24 Vac (sezione switching)
	I	- Linee per l'alimentazione 6÷12 Vac (sezione lineare)

CN3 - CONNETTORE PER I/O DEL PPI

CN3 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini. Tramite CN3 si effettua la connessione tra l'interfaccia periferica programmabile PPI e l'ambiente esterno, utilizzando due dei tre port paralleli ad 8 bit di cui dispone. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O **ABACO®**.

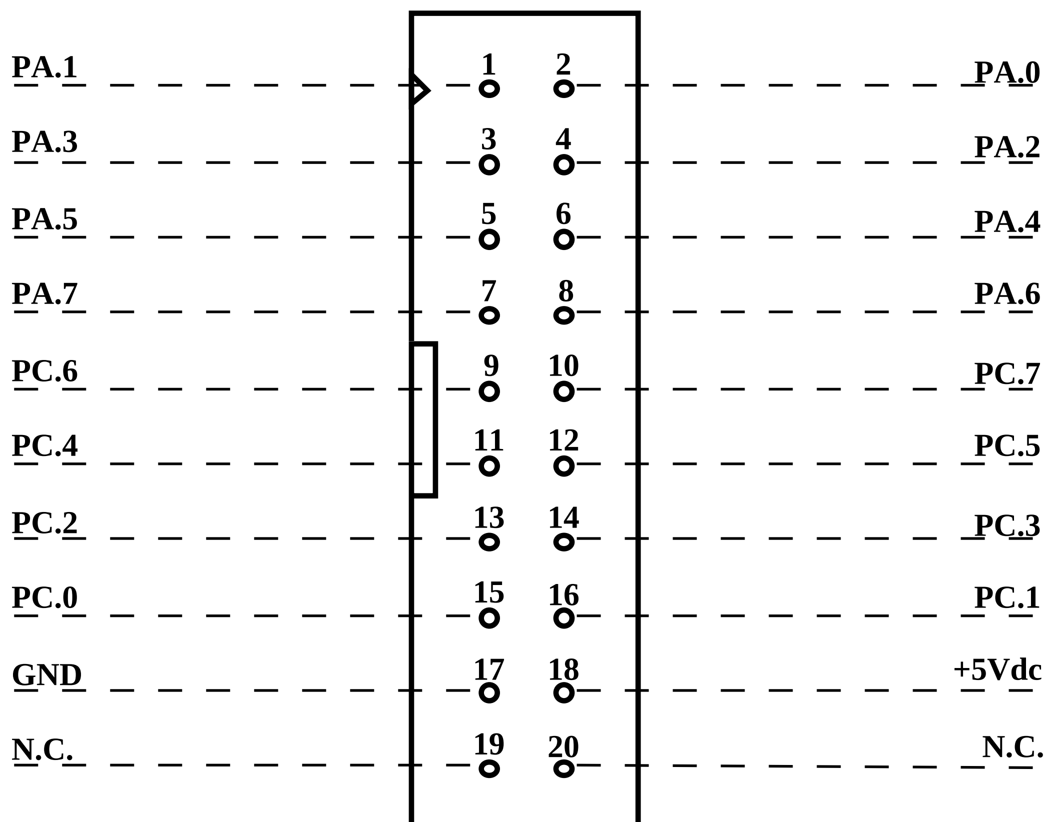


FIGURA 4: CN3 - CONNETTORE PER I/O DEL PPI

Legenda:

PA.n	=	I/O	- Linea digitale n del port A del PPI
PC.n	=	I/O	- Linea digitale n del port C del PPI
+5 Vdc	=	O	- Linea di alimentazione a +5 Vcc
GND	=		- Linea di massa
N.C.	=		- Non Collegato

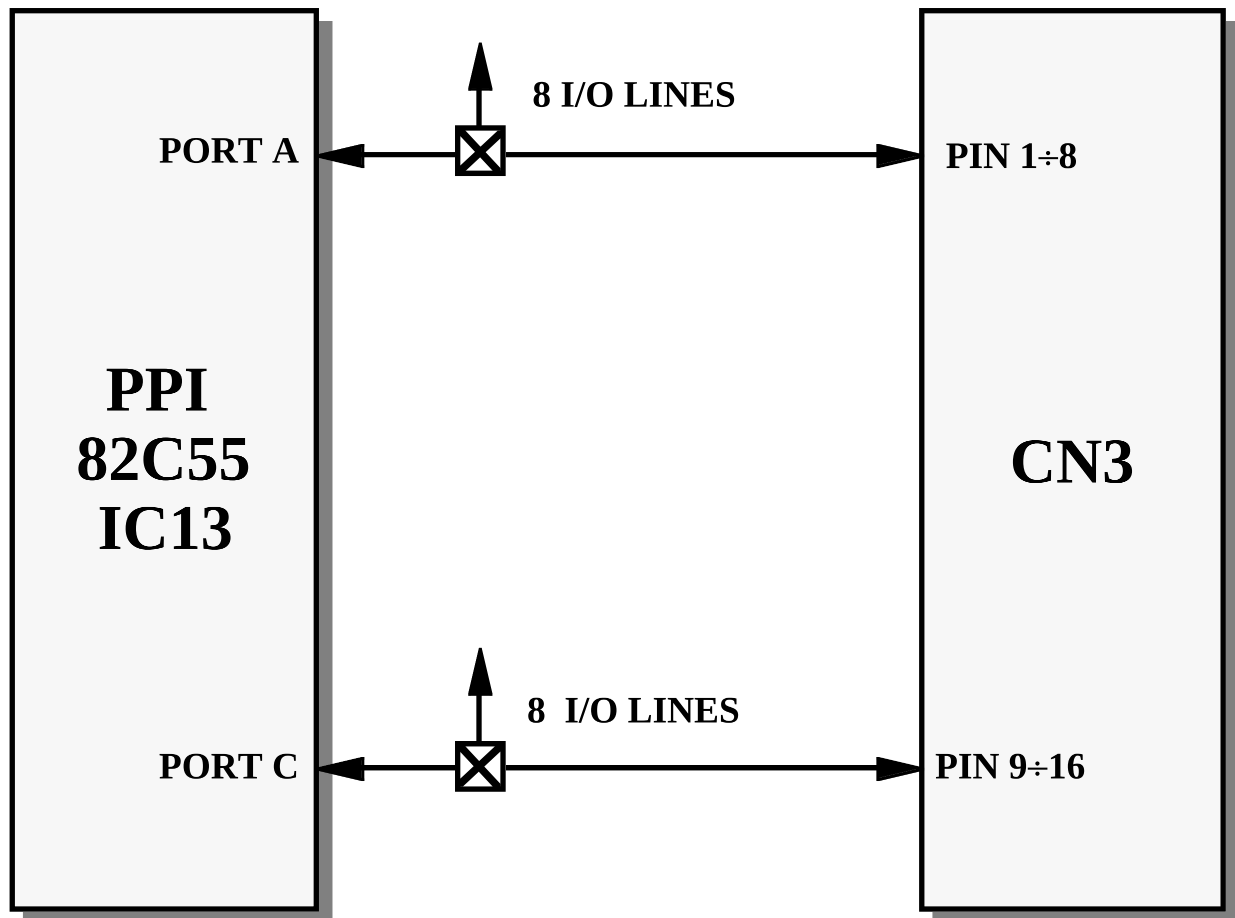


FIGURA 5: SCHEMA DI COLLEGAMENTO LINEE DI I/O SU CN3

CN4 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

CN4 é un connettore a scatolino, verticale, maschio, con passo 2,54 mm a 2 vie. Tramite CN4 deve essere collegata una batteria esterna che provvede a mantenere i dati della RAM di bordo ed a garantire il funzionamento del real time clock, in assenza di tensione di alimentazione (per maggiori informazioni fare riferimento al paragrafo “BACK UP”.

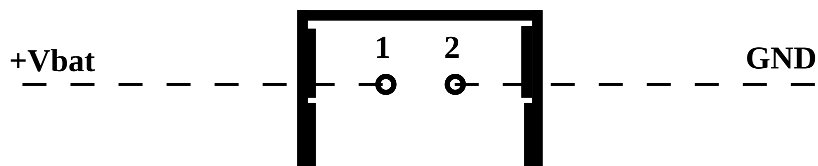


FIGURA 6: CN4 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

Legenda:

+Vbat	=	I	-	Positivo della batteria esterna di back up
GND	=		-	Negativo della batteria esterna di back up

CN5 - CONNETTORE PER I/O DIGITALI E SERIALE SINCRONA

CN5 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini. Tramite CN5 si effettua la connessione tra l'interfaccia periferica programmabile PPI (utilizzando uno dei tre port paralleli ad 8 bit di cui dispone), le 4 linee di input digitale e la linea seriale sincrona nei confronti dell'ambiente esterno. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL e seguono, nei limiti del possibile, il pin out standardizzato I/O **ABACO®**.

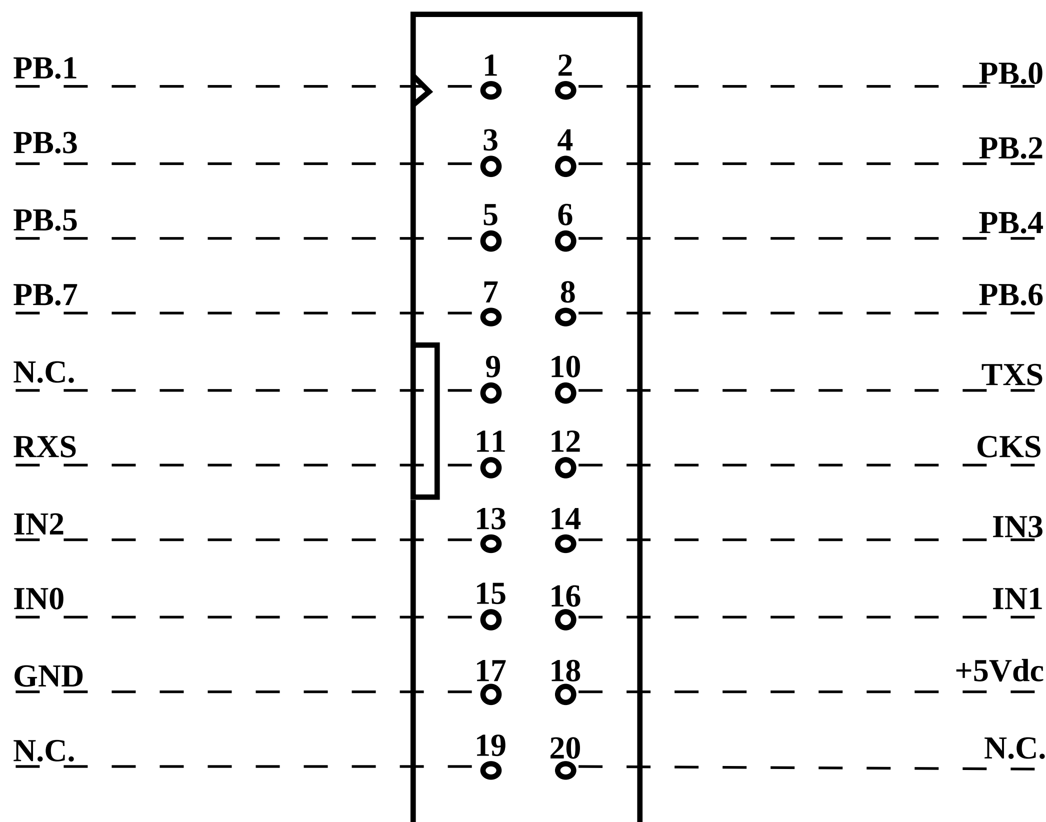


FIGURA 7: CN5 - CONNETTORE PER I/O DIGITALE E SERIALE SINCRONA

Legenda:

PB.n	=	I/O	- Linea digitale n del port B del PPI
INn	=	I	- Linea digitale n di ingresso
TXS	=	O	- Linea di trasmissione seriale sincrona
RXS	=	I	- Linea di ricezione seriale sincrona
CKS	=	I/O	- Linea di clock per seriale sincrona
+5 Vdc	=	O	- Linea di alimentazione a +5 Vcc
GND	=		- Linea di massa
N.C.	=		- Non Collegato

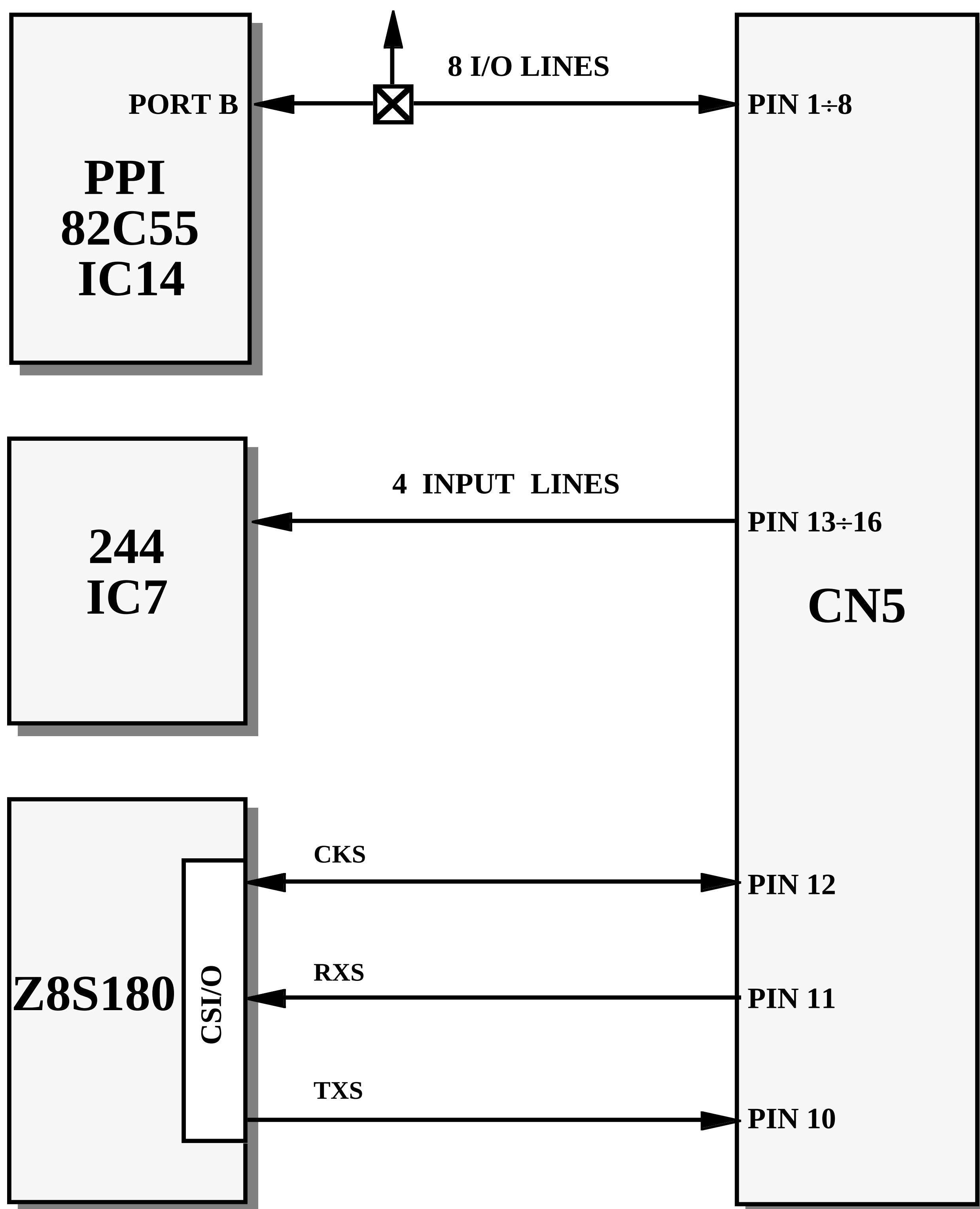


FIGURA 8: SCHEMA DI COLLEGAMENTO LINEE DI I/O SU CN5

CN6 - CONNETTORE PER INGRESSI A/D CONVERTER

CN6 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini. Tramite CN6 si interfacciano le 11 linee di input per la sezione di A/D converter della scheda con il campo esterno. I segnali collegabili a questo connettore sono segnali analogici in tensione (0÷2,49 V) od in corrente (0÷20, 4÷20 mA) e seguono il pin out standardizzato A/D **ABACO**®. La disposizione dei segnali su questo connettore é studiata in modo da ridurre tutti i problemi di rumore ed interferenza, garantendo quindi un'ottima trasmissione del segnale.

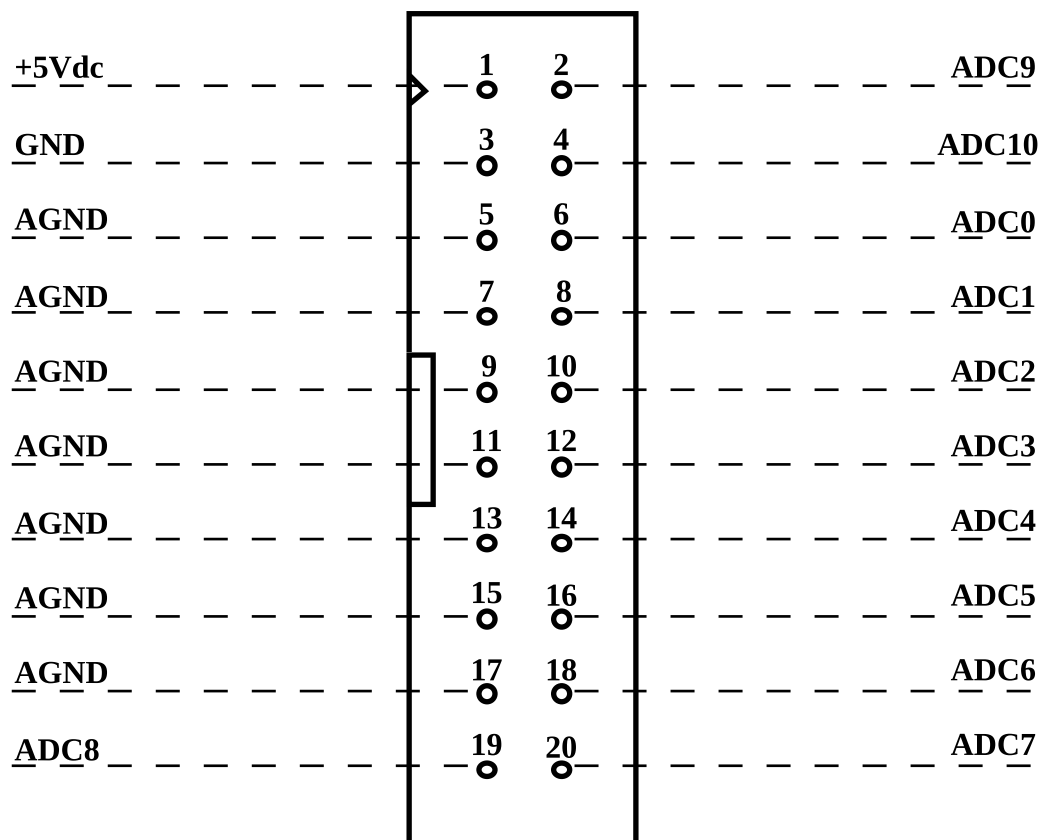


FIGURA 9: CN5 - CONNETTORE PER INGRESSI A/D CONVERTER

Legenda:

ADCn	=	I	- Linea analogica d'ingresso canale n di A/D converter.
GND	=		- Linea di massa.
AGND	=		- Linea di massa analogica.
+5 Vdc	=	O	- Linea di alimentazione a +5 Vcc.

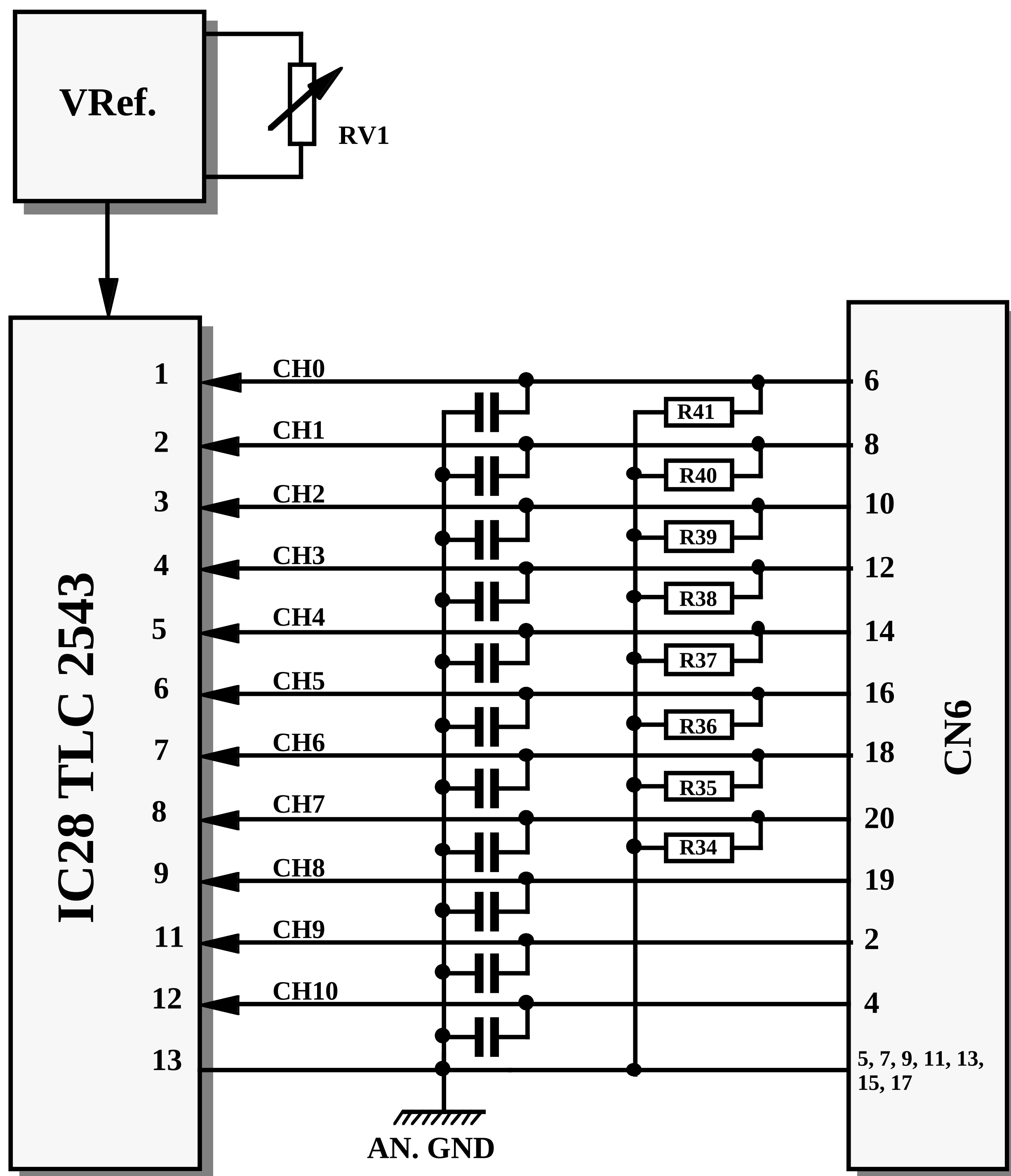


FIGURA 10: SCHEMA D'INGRESSO A/D CONVERTER

CN7B - CONNETTORE PER LINEA SERIALE B

Il connettore per la comunicazione della linea seriale B, in RS 232, RS 422, RS 485 o Current Loop, denominato CN7B sulla scheda, é del tipo PLUG a 6 vie. Fisicamente la linea seriale B della **GPC® 183** é collegata alla linea seriale ASCII 0 della CPU. La disposizione di tali segnali, riportata di seguito, é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative ad ognuno degli standard di comunicazione usati.

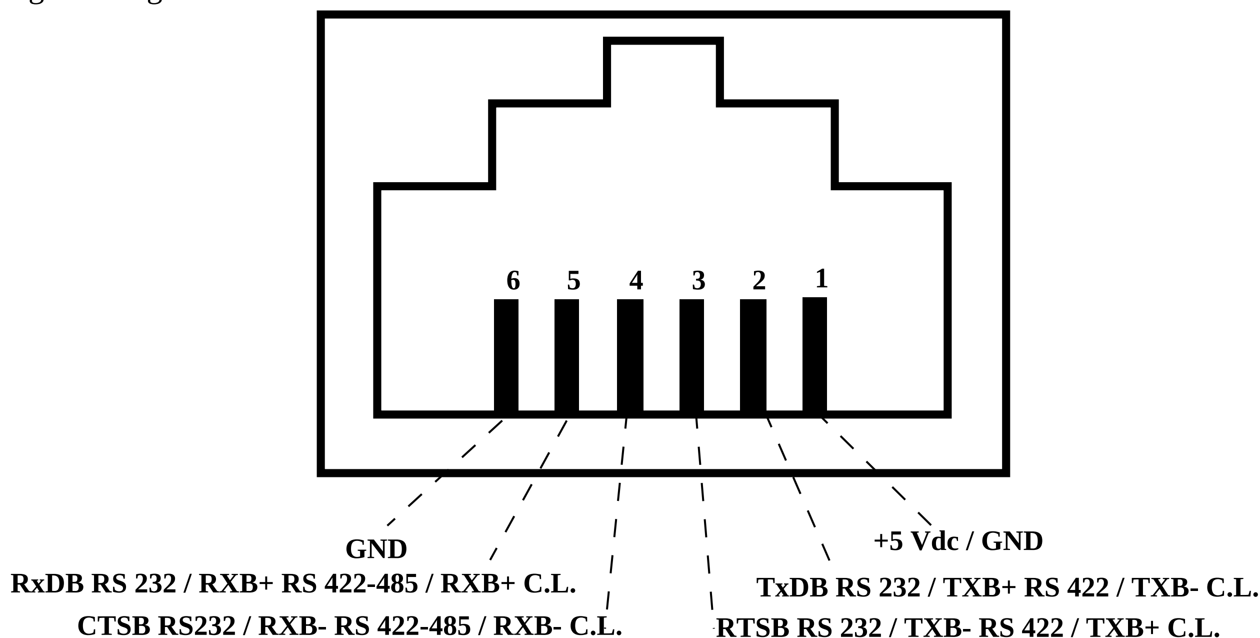


FIGURA 11: CN7B - CONNETTORE PER LINEA SERIALE B

Legenda:

RXB- RS 422-485	= I - Receive Data Negative: linea bipolare negativa di ricezione differenziale in RS 422 e RS 485 della seriale B=ASCI 0.
RXB+ RS 422-485	= I - Receive Data Positive: linea bipolare positiva di ricezione differenziale in RS 422 e RS 485 della seriale B=ASCI 0.
TXB- RS 422	= O - Transmit Data Negative: linea bipolare negativa di trasmissione differenziale in RS 422 e RS 485 della seriale B=ASCI 0.
TXB+ RS 422	= O - Transmit Data Positive: linea bipolare positiva di trasmissione differenziale in RS 422 e RS 485 della seriale B=ASCI 0.
RxDB RS 232	= I - Receive Data: linea ricezione in RS 232 della seriale B=ASCI 0.
TxDB RS 232	= O - Transmit Data: linea trasmissione in RS 232 della seriale B=ASCI 0.
CTSB RS 232	= I - Clear To Send: linea di abilitazione alla trasmissione in RS 232 della seriale B=ASCI 0.
RTSB RS 232	= O - Request To Send: linea di richiesta di trasmissione in RS 232 della seriale B=ASCI 0.
RXB- C.L.	= I - Receive Data Negative: linea bipolare negativa di ricezione in Current Loop della seriale B=ASCI 0.
RXB+ C.L.	= I - Receive Data Positive: linea bipolare positiva di ricezione in Current Loop della seriale B=ASCI 0.
TXB- C.L.	= O - Transmit Data Negative: linea bipolare negativa di trasmissione in Current Loop della seriale B=ASCI 0.

TXB+ C.L. = O - Transmit Data Positive: linea bipolare positiva di trasmissione in Current Loop della seriale B=ASCI 0.

+5 Vdc/GND = I - Linea di alimentazione a +5 Vcc o linea di massa.

GND = - Linea di massa.

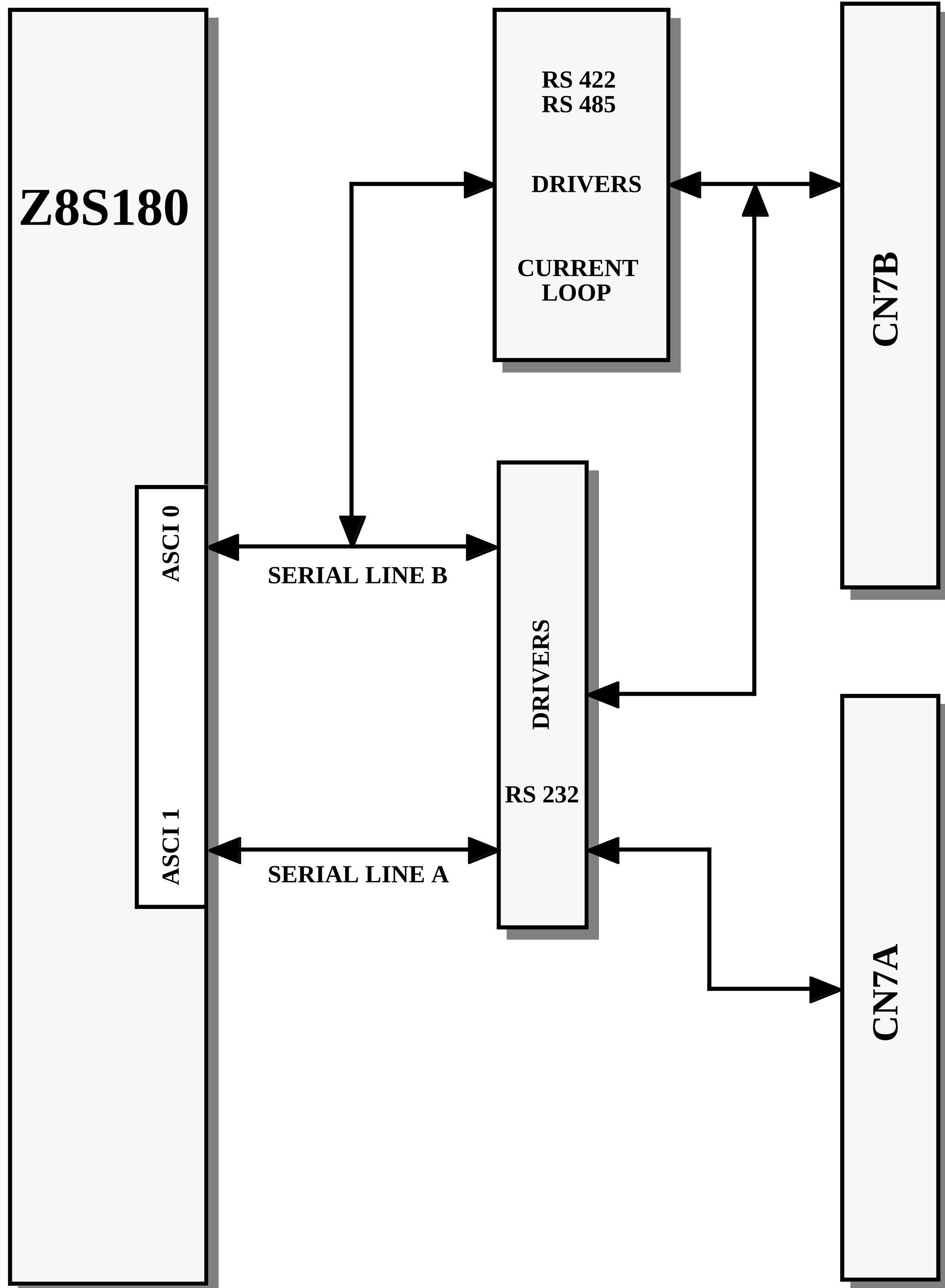


FIGURA 12: SCHEMA DI COMUNICAZIONE SERIALE

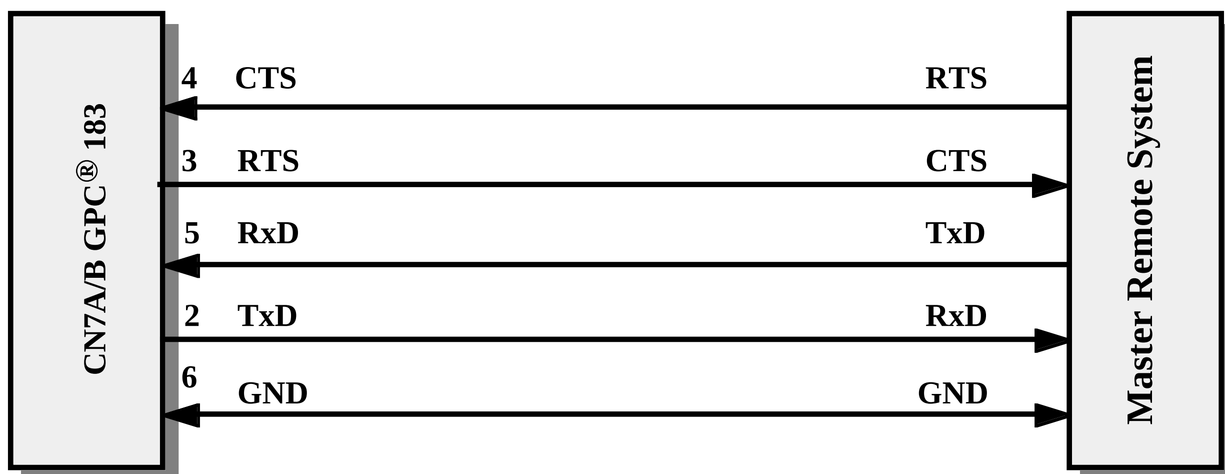


FIGURA 13: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 232

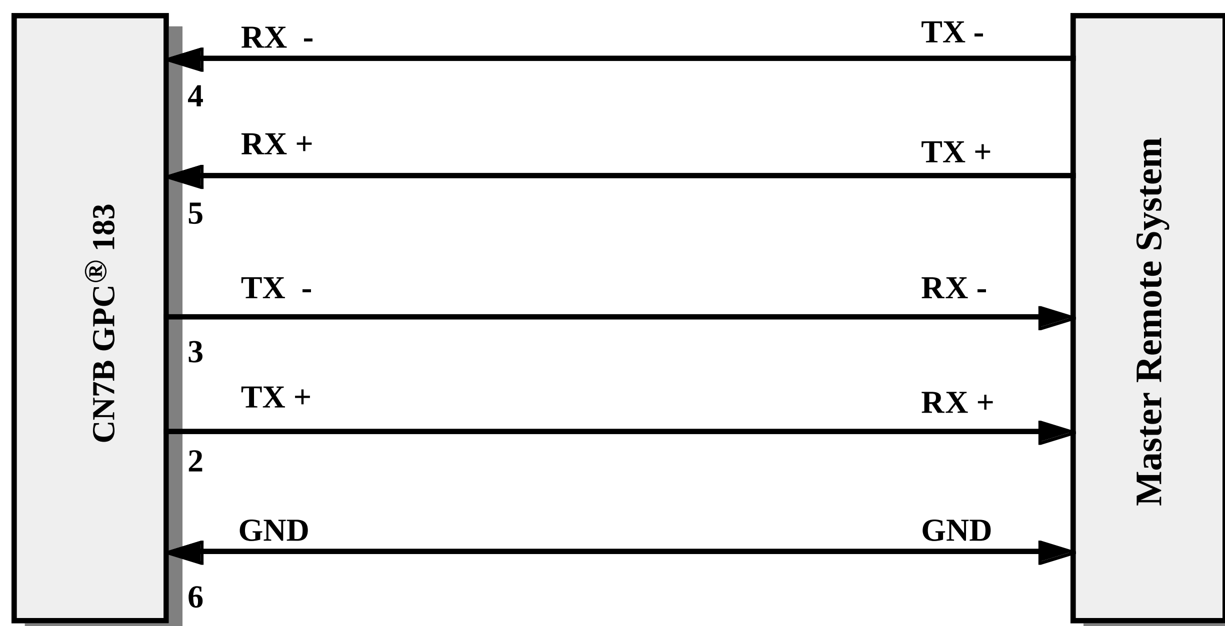


FIGURA 14: ESEMIPO COLLEGAMENTO PUNTO PUNTO IN RS 422

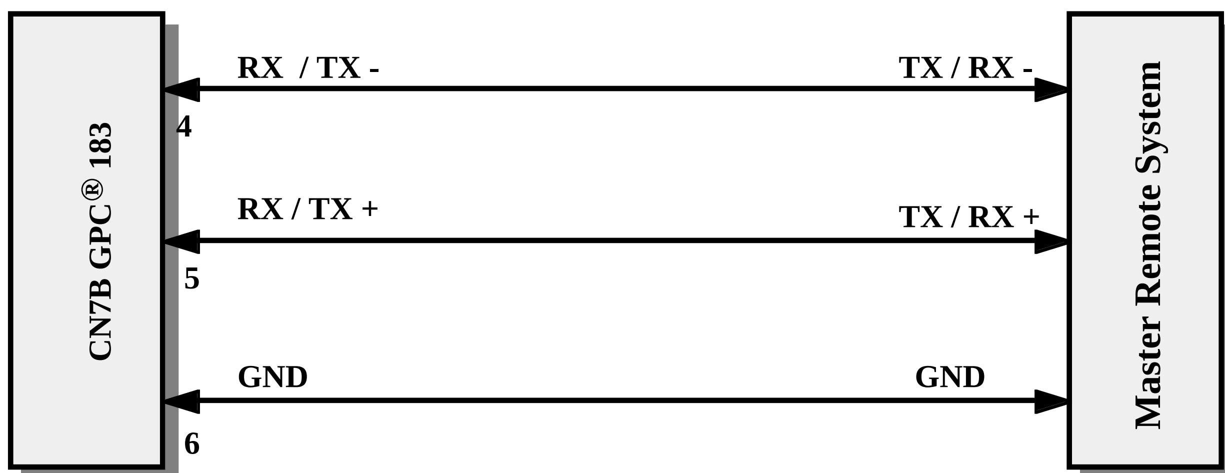


FIGURA 15: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 485

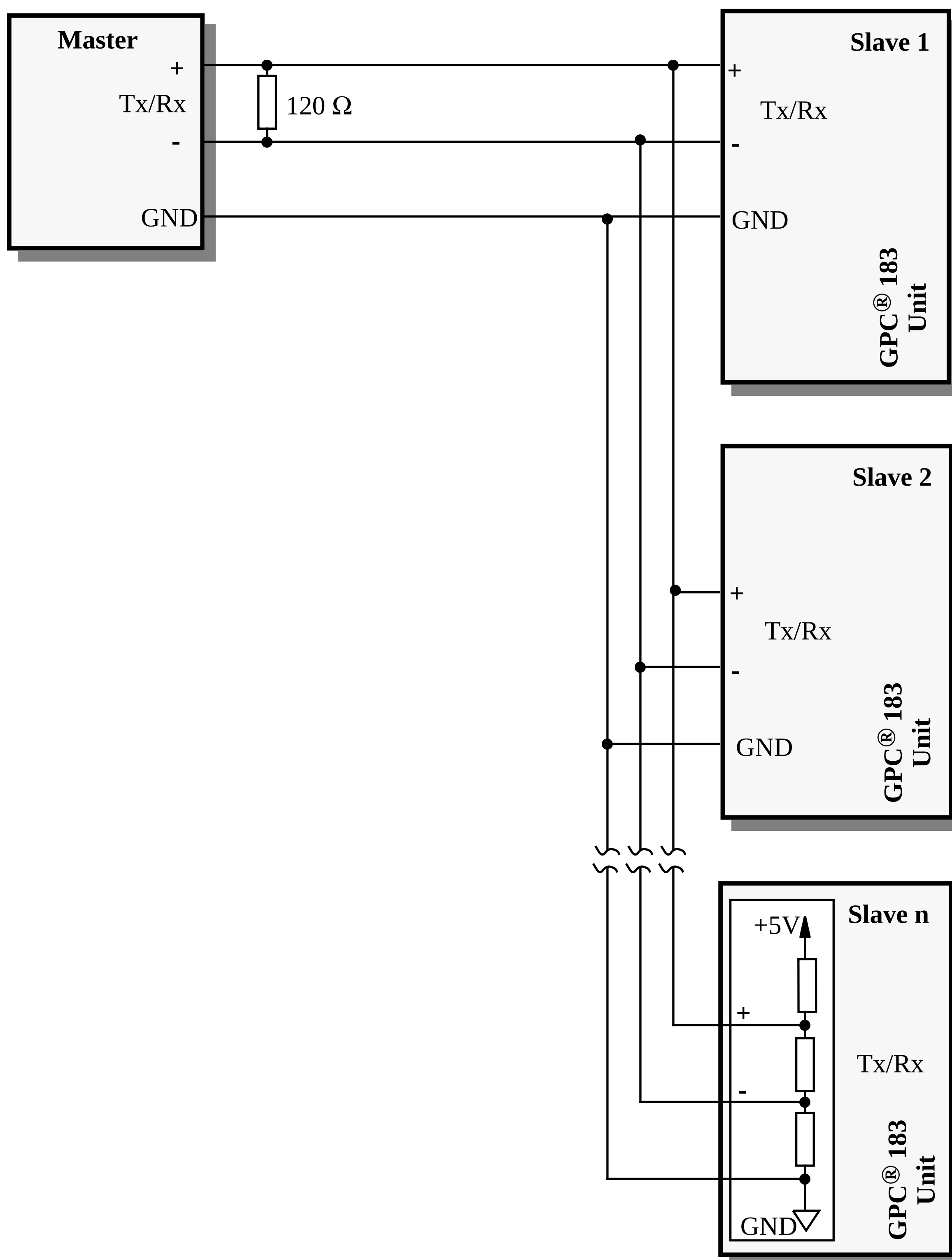


FIGURA 16: ESEMPIO COLLEGAMENTO IN RETE IN RS 485

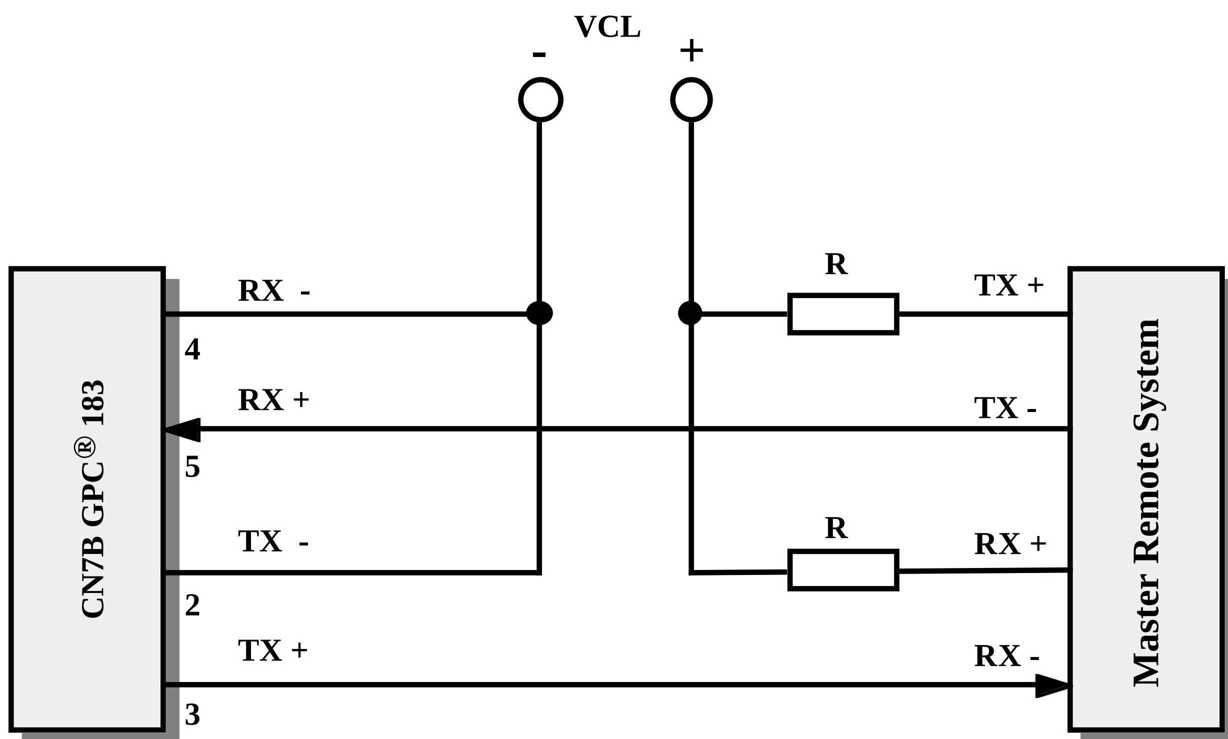


FIGURA 17: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 4 FILI

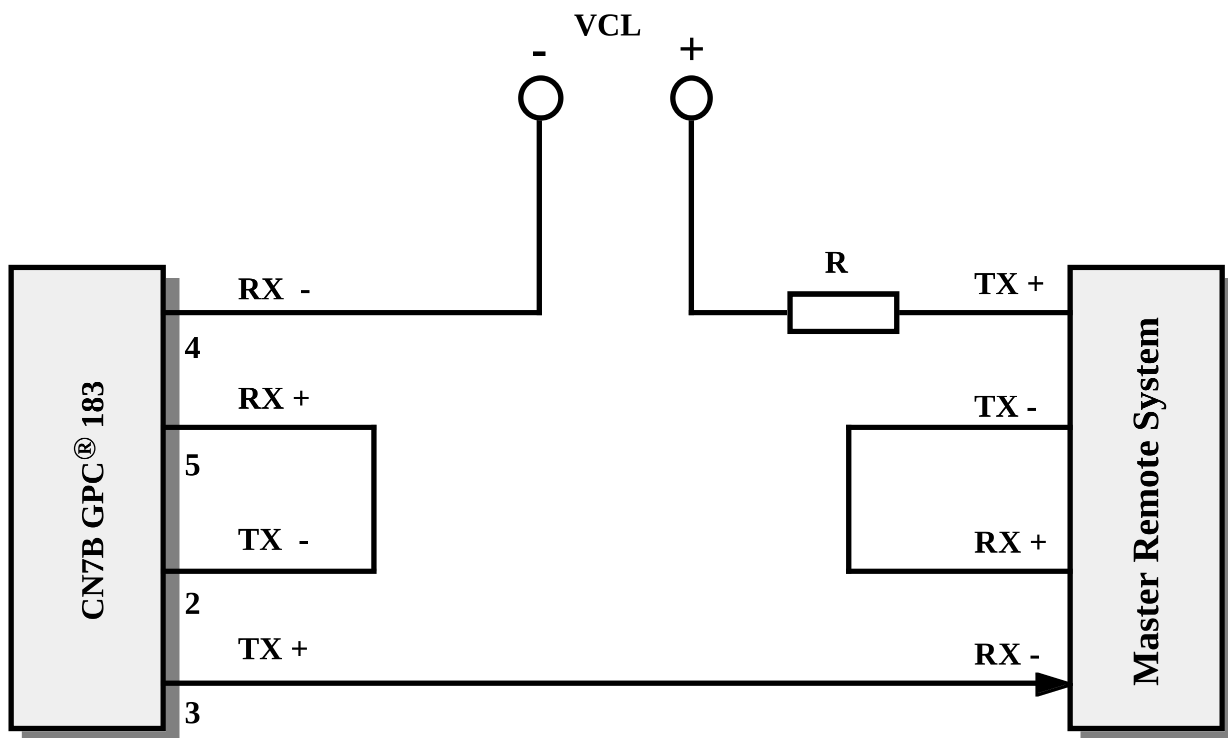


FIGURA 18: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 2 FILI

CN7A - CONNETTORE PER LINEA SERIALE A

Il connettore per la comunicazione della linea seriale A, in RS 232, denominato CN6A sulla scheda, é del tipo PLUG a 6 vie. La disposizione di tali segnali, riportata di seguito, é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative allo standard RS 232.

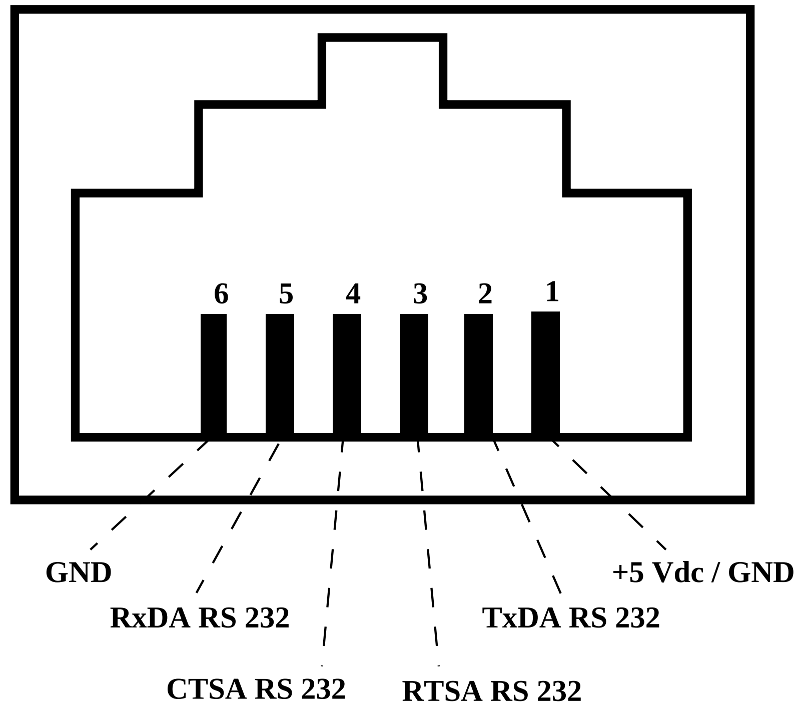


FIGURA 19: CN7A - CONNETTORE PER LINEA SERIALE A

Legenda:

RxDA RS 232	= I -	Receive Data: linea di ricezione in RS 232 della seriale A=ASCI1.
TxDA RS 232	= O -	Transmit Data: linea di trasmissione in RS 232 della seriale A=ASCI1.
CTSA RS 232	= I -	Clear To Send: linea di abilitazione alla trasmissione in RS 232 della seriale A=ASCI1.
RTSA RS 232	= O -	Request To Send: linea di richiesta di trasmissione in RS 232 della seriale A=ASCI1.
+5 Vdc/GND	= I -	Linea di alimentazione a +5 Vcc o linea di massa.
GND	= -	Linea di massa.

CN1 - CONNETTORE PER ABACO® I/O BUS

CN1 è un connettore a scatolino verticale con passo 2.54 mm a 26 piedini. Tramite CN1 si effettua la connessione tra la scheda e la serie di moduli esterni di espansione, da utilizzare per l'interfacciamento diretto con il campo. Tale collegamento è effettuato tramite l'**ABACO®** I/O BUS di cui questo connettore riporta tutti i segnali a livello TTL.

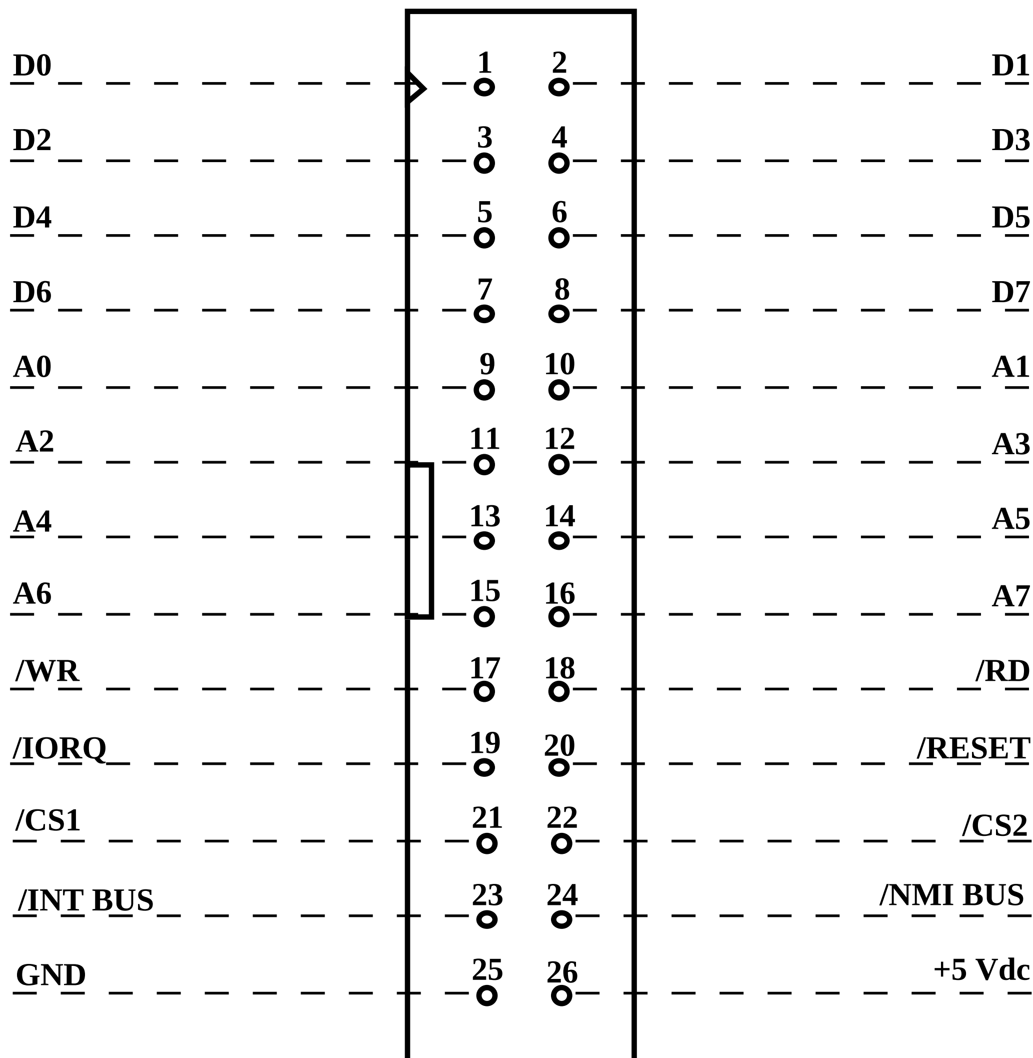


FIGURA 20: CN1 - CONNETTORE PER ABACO® I/O BUS

Legenda:

A0-A7	=	O	- Address BUS: BUS degli indirizzi.
D0-D7	=	I/O	- Data BUS: BUS dei dati.
/INT BUS	=	I	- Interrupt request: richiesta d'interrupt. Deve essere in open collector
/NMI BUS	=	I	- Non Mascable Interrupt: richiesta d'interrupt non mascherabile.
/IORQ	=	O	- Input Output Request: richiesta operazione Input Output su I/O BUS.
/RD	=	O	- Read cycle status: richiesta di lettura.
/WR	=	O	- Write cycle status: richiesta di scrittura.
/RESET	=	O	- Reset: azzeramento.
/CS1, /CS2	=	O	- Chip select 1 e 2: abilitazione decodificata per periferiche esterne
+5 Vdc	=	I/O	- Linea di alimentazione a +5 Vcc.
GND	=		- Linea di massa.

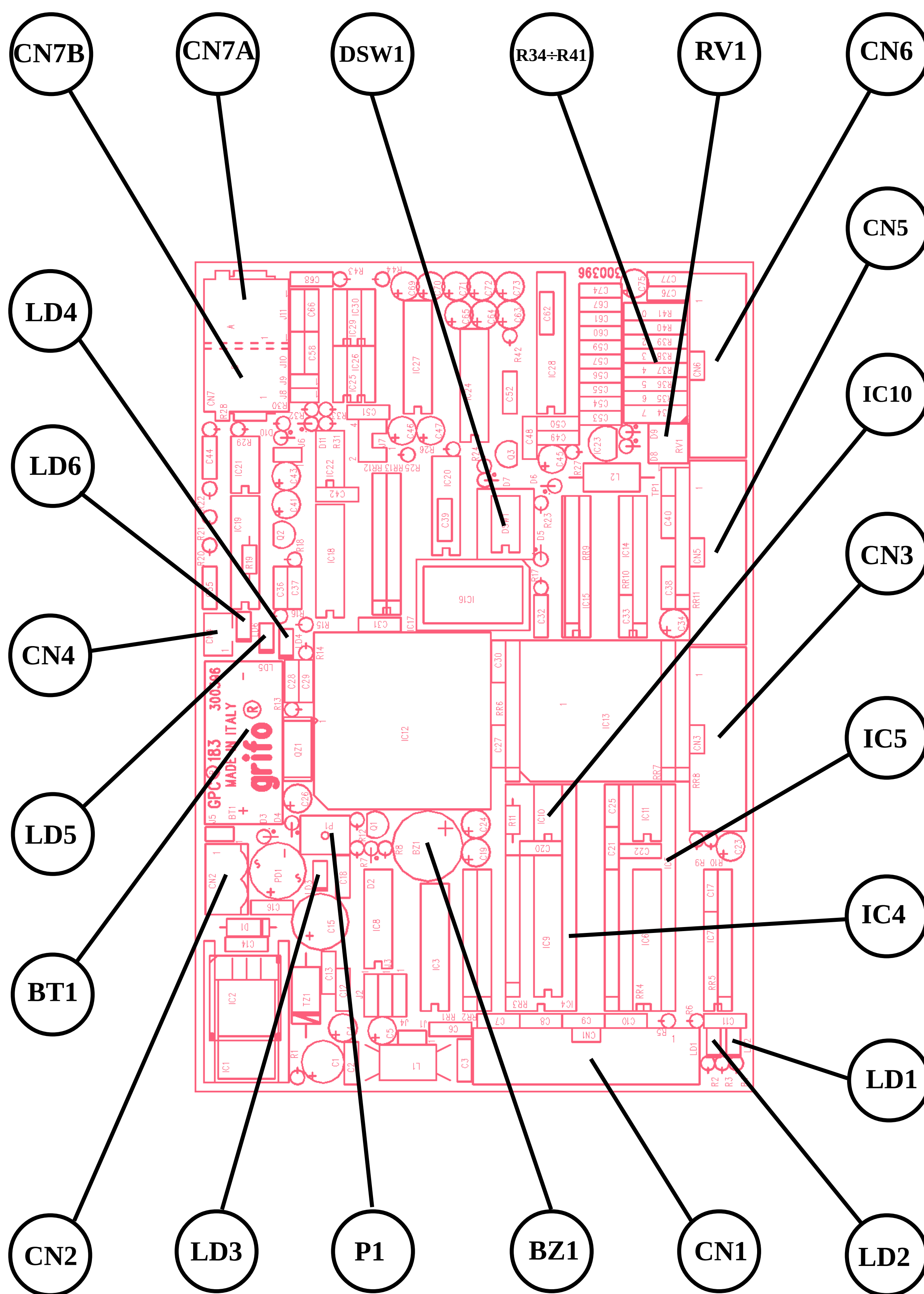


FIGURA 21: DISPOSIZIONE LEDS, CONNETTORI, DIP SWITCH, ECC.

INTERFACCIE PER I/O DIGITALI

Tramite CN3 (connettore standard di I/O **ABACO®**) si può collegare la **GPC® 183** ai numerosi moduli del carteggio **Grifo®** che riportano lo stesso pin out. Dal punto di vista dell'installazione, queste interfaccie richiedono solo un flat a 20 vie con cui é possibile portare anche le alimentazioni, mentre dal punto di vista software la gestione é altrettanto semplice ed immediata, infatti i pacchetti software disponibili per la **GPC® 183** sono provvisti di tutte le procedure necessarie. Quest'ultime per la maggioranza dei pacchetti software disponibili, coincidono con dei "driver software" aggiunti al linguaggio di programmazione, che consentono di utilizzare direttamente le istruzioni ad alto livello dello stesso linguaggio di programmazione e quindi tutta la loro potenza.
Di particolare interesse é la possibilità di collegare direttamente una serie di moduli come:

- **QTP 24P**, **KDL x24**, **KDF 224**, **DEB 01**, ecc. con cui risolvere tutti i problemi di interfacciamento operatore locale. Questi moduli sono già dotati delle risorse necessarie per gestire un buon livello di colloquio uomo-macchina (includono infatti display alfanumerici, tastiera a matrice e LEDs di visualizzazione) ad una breve distanza dalla **GPC® 183**. Dal punto di vista software i driver disponibili rendono utilizzabili le risorse dell'interfaccia operatore direttamente con le istruzioni ad alto livello per la gestione della console.

- **MCI 64** con cui risolvere tutti i problemi di salvataggio di grosse quantità di dati. Questo modulo é dotato di un connettore per memory card PCMCIA su cui possono essere inserite vari tipi di memory card (RAM, FLASH, ROM, ecc) nei vari size disponibili. Dal punto di vista software i driver disponibili coincidono con un completo file system e rendono utilizzabili le memory card direttamente con le istruzioni ad alto livello per la gestione dei files.

- **IAC 01**, **DEB 01** con cui gestire una stampante con interfaccia parallela CENTRONICS. Quest'ultima può essere collegata direttamente all'interfaccia, con un cavo standard, e quindi gestita con le istruzioni relative alla stampante del linguaggio di programmazione utilizzato.

Per maggiori informazioni relative alle interfaccie per I/O digitali si veda il capitolo "SCHEDE ESTERNE" e la documentazione del software utilizzato.

INTERFACCIAMENTO DEGLI I/O CON IL CAMPO

Al fine di evitare eventuali problemi di collegamento della scheda con tutta l'elettronica del campo a cui la **GPC® 183** si deve interfacciare, si devono seguire le informazioni riportate nei precedenti paragrafi e le relative figure che illustrano le modalità interne di connessione.

- Per i segnali che riguardano la comunicazione seriale con i protocolli RS 232, RS 422, RS 485 o current loop, fare riferimento alle specifiche standard di ognuno di questi protocolli.
- Tutti i segnali a livello TTL possono essere collegati a linee dello stesso tipo riferite alla massa digitale della scheda. Il livello 0V corrisponde allo stato logico 0, mentre il livello 5V corrisponde allo stato logico 1.
- I segnali d'ingresso alla sezione A/D devono essere collegati a segnali analogici a bassa impedenza che rispettino il range di variazione ammesso che può arrivare a +2,49V o 0÷20 mA a seconda della configurazione. Per maggiori informazioni si veda il paragrafo sucessivo "SELEZIONE TIPO INGRESSI ANALOGICI".

SELEZIONE TIPO INGRESSI ANALOGICI

La scheda **GPC® 183**, può avere ingressi analogici in tensione e/o corrente, come descritto nei precedenti paragafi e capitoli. La selezione del tipo d'ingresso può essere effettuata solo per otto degli undici canali analogici d'ingresso in fase di ordine della scheda ed é effettuata montando un apposito modulo di conversione corrente-tensione basato su resistenze di caduta di precisione. In particolare vale la corrispondenza:

R41	->	canale 0
R40	->	canale 1
R39	->	canale 2
R38	->	canale 3
R37	->	canale 4
R36	->	canale 5
R35	->	canale 6
R34	->	canale 7

Nel caso il modulo corrente-tensione non sia montato (default) il corrispondente canale accetta un ingresso in tensione nei range 0÷2,49 V, viceversa un ingresso in corrente.
Il valore della resistenza, su cui si basa il convertitore corrente-tensione, si ottiene dalla seguente formula:

R = 2,49 V / Imax

Normalmente i moduti di conversione tensione-corrente, si basano su resistenze di precisione da 124Ω, relative ad ingressi 4÷20 mA o 0÷20 mA.
Per una facile individuazione del modulo descritto e delle relative resistenze componenti, fare riferimento alle figure 10 e 21.

TASTO DI RESET

Con il tasto P1 presente sulla **GPC® 183** si ha la possibilità di attivare la linea di /RESET della scheda. Una volta premuto il tasto P1, la scheda riprende l'esecuzione del programma in EPROM, partendo da una condizione di azzeramento generale. La funzione principale di questo tasto é quella di uscire da condizioni di loop infinito, soprattutto durante la fase di debug. Per una facile individuazione di tale pulsante a bordo scheda, si faccia riferimento alla figura 21, mentre per ulteriori informazioni sulla circuiteria di reset si veda il paragrafo "RESET E WATCH DOG".

TRIMMERS E TARATURE

Sulla **GPC® 183** é presente un trimmer da utilizzare per la taraura della scheda. In particolare con il trimmer RV1 si può fissare il valore della tensione di riferimento su cui si basa l'eventuale sezione di A/D converter. Per una facile individuazione del trimmer a bordo scheda, si faccia riferimento alla figura 21.
La scheda viene sottoposta ad un accurato test di collaudo che provvede a verificare la funzionalità della stessa ed allo stesso tempo a tararla in tutte le sue parti. La taratura viene effettuata in laboratorio a temperatura costante di +20 gradi centigradi, seguendo la procedura di seguito descritta:

- Si effettua la taratura di precisione della Vref della sezione A/D tramite la regolazione del trimmer RV1, tramite un multimetro galvanicamente isolato a 5 cifre ad un valore di 2,4900 V.
- Si verifica la corrispondenza tra segnale analogico fornito in ingresso e combinazione letta dalla sezione A/D converter. La verifica viene effettuata fornendo un segnale di verifica con un calibratore campione e controllando che la differenza tra la combinazione determinata dalla scheda e quella determinata in modo teorico, non superi la somma degli errori della sezione A/D.
- Si blocca il trimmer della scheda, opportunamente tarato, tramite vernice.

Le sezioni d'interfaccia analogica utilizzano componenti di alta precisione che vengono addirittura scelti in fase di montaggio, proprio per evitare lunghe e complicate procedure di taratura. Per questo una volta completato il test di collaudo e quindi la taratura, il trimmer RV1 viene bloccato, in modo da garantire una immunità della taratura anche ad eventuali sollecitazioni meccaniche (vibrazioni, spostamenti, ecc.).
L'utente di norma non deve intervenire sulla taratura della scheda, ma se lo dovesse fare (a causa di derive termiche, derive del tempo, ecc.) deve rigorosamente seguire la procedura sopra illustrata.

SEGNALAZIONI VISIVE

La scheda **GPC® 183** é dotata di sei LEDs con cui segnala alcune condizioni di stato, come descritto nella seguente tabella:

LEDs	COLORE	FUNZIONE
LD1	Verde	LED di attività gestito via software
LD2	Rosso	Segnala l'attivazione della linea di interrupt (/INT2 della CPU), proveniente dall'RTC.
LD3	Rosso	Segnala presenza della tensione di alimentazione a +5 Vcc
LD4	Rosso	Segnala l'attivazione della linea di /HALT della CPU
LD5	Rosso	Segnala l'attivazione della circuiteria di watch dog esterna
LD6	Verde	LED di attività temporizzato (spot) gestito via sofware

FIGURA 22: TABELLA DELLE SEGNALAZIONI VISIVE

La funzione principale di questi LEDs é quella di fornire un'indicazione visiva dello stato della scheda, facilitando quindi le operazioni di verifica di funzionamento di tutto il sistema. Per una più facile individuazione di tali segnalazioni visive, si faccia riferimento alla figura 21.

JUMPERS

Esistono a bordo della **GPC® 183** 11 jumpers con cui é possibile effettuare alcune selezioni che riguardano il modo di funzionamento della stessa. Di seguito ne é riportato l'elenco, l'ubicazione e la loro funzione nelle varie modalità di connessione.

JUMPERS	N. VIE	UTILIZZO
J1	2	Collega pin 26 di CN1 all'alimentazione +5 Vcc, della scheda
J2	3	Seleziona il size del dispositivo di memoria su IC4
J3	3	Seleziona dispositivo di memoria su IC5
J4	3	Seleziona dispositivo di memoria su IC5
J5	2	Collega batteria di bordo BT1 alla circuiteria di back up
J6	2	Collega la circuiteria esterna di watch dog
J7	5	Seleziona tipo di comunicazione per la linea seriale B tra RS 422 e RS 485
J8	2	Collega resistenza di terminazione e forzatura alla linea di ricezione in RS 422, RS 485
J9	2	Collega resistenza di terminazione e forzatura alla linea di ricezione in RS 422, RS 485
J10	3	Seleziona il tipo di collegamento per il pin 1 di CN6B
J11	3	Seleziona il tipo di collegamento per il pin 1 di CN6A

FIGURA 23: TABELLA RIASSUNTIVA JUMPERS

Di seguito é riportata una descrizione tabellare delle possibili connessioni degli 11 jumpers con la loro relativa funzione. Per riconoscere tali connessioni sulla scheda si faccia riferimento alla serigrafia della stessa o alla figura 29 di questo manuale, dove viene riportata la numerazione dei pin dei jumpers, che coincide con quella utilizzata nella seguente descrizione. Per l'individuazione dei jumpers a bordo della scheda, si utilizzi invece la figura 27. In tutte le seguenti tabelle l'***** indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

JUMPERS A 5 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J7	posizione 1-2 e 3-4	Abilita comunicazione su linea seriale B in RS 485 (half duplex a 2 fili)	
	posizione 2-3 e 4-5	Abilita comunicazione su linea seriale B in RS 422 (full duplex o half duplex a 4 fili)	*

FIGURA 24: TABELLA JUMPERS A 5 VIE

JUMPERS A 2 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J1	non connesso	Non collega il pin 26 di CN1 ai +5 Vcc di alimentazione della scheda	
	connesso	Collega il pin 26 di CN1 ai +5 Vcc di alimentazione della scheda	*
J5	non connesso	Non collega batteria di bordo BT1 alla circuiteria di back up	*
	connesso	Collega batteria di bordo BT1 alla circuiteria di back up	
J6	non connesso	Non collega la cicuiteria esterna di watch-dog alla circuiteria di reset	*
	connesso	Collega la cicuiteria esterna di watch-dog alla circuiteria di reset	
J8, J9	non connesso	Non collegano la circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485	*
	connesso	Collegano la circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485	

FIGURA 25: TABELLA JUMPERS A 2 VIE

JUMPERS A 3 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J2	posizione 1-2	Predispone IC 4 per RAM da 128K Byte	*
	posizione 2-3	Predispone IC 4 per RAM da 512K Byte	
J3	posizione 1-2	In abbinamento a J4, predispone IC 5 per EPROM	*
	posizione 2-3	In abbinamento a J4, predispone IC 5 per FLASH EPROM	
J4	posizione 1-2	In abbinamento a J3, predispone IC 5 per EPROM	*
	posizione 2-3	In abbinamento a J3, predispone IC 5 per FLASH EPROM	
J10	posizione 1-2	Collega pin 1 di CN6B a GND	*
	posizione 2-3	Collega pin 1 di CN6B a +5 Vcc	
J11	posizione 1-2	Collega pin 1 di CN6A a GND	*
	posizione 2-3	Collega pin 1 di CN6A a +5 Vcc	

FIGURA 26: TABELLA JUMPERS A 3 VIE

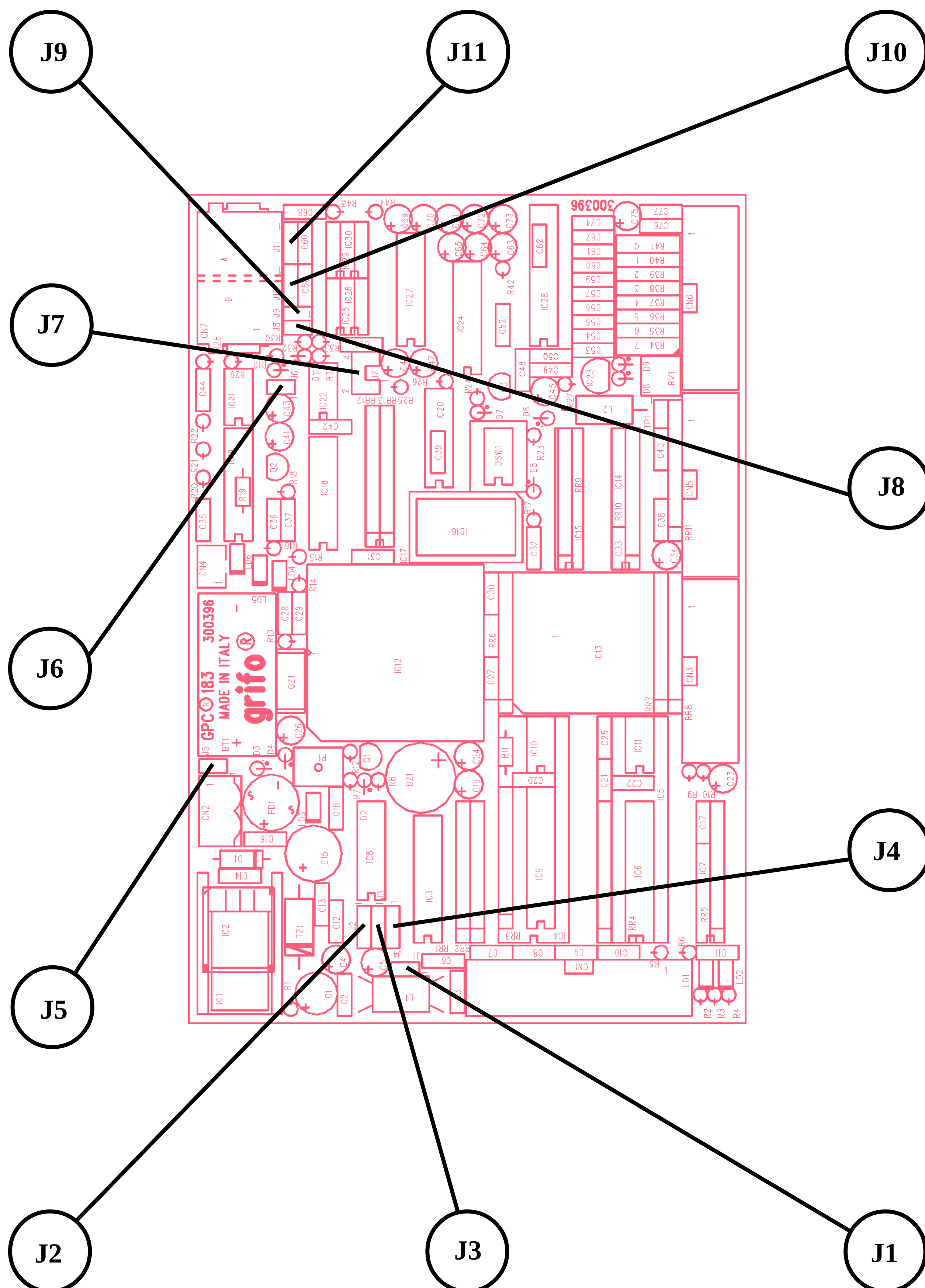


FIGURA 27: DISPOSIZIONE JUMPERS

NOTE

Vengono di seguito riportate una serie di indicazioni con cui descrivere in modo più dettagliato quali sono le operazioni da eseguire per configurare correttamente la scheda.

BACK UP

La **GPC® 183** é provvista di una batteria al litio BT1 che provvede a tamponare la RAM ed il RTC di bordo anche in assenza della tensione di alimentazione. Il jumper J5 provvede a collegare o meno questa batteria in modo da salvaguardarne la durata prima dell'installazione o in tutti i casi in cui il back up non é necessario. Una seconda batteria esterna può essere collegata alla circuiteria di back up tramite il connettore CN4: quest'ultima non é interessata dalla configurazione del jumper J5 e sostituisce a tutti gli effetti la BT1.
Per la scelta della batteria esterna di back up seguire le indicazioni del paragrafo "CARATTERISTICHE ELETTRICHE", mentre per la sua individuazione si veda la figura 21.

SELEZIONE MEMORIE

La **GPC® 183** può montare fino ad un massimo di 1032 Kbytes di memoria variamente suddivisa. In particolare per la configurazione seguire le informazioni riportate nella seguente tabella:

IC	DISPOSITIVO	DIMENSIONE	STRIPPAGGIO
5	EPROM	128K Byte	J3 e J4 in posizione 1-2
	EPROM	256K Byte	J3 e J4 in posizione 1-2
	EPROM	512K Byte	J3 e J4 in posizione 1-2
	FLASH EPROM	128K Byte	J3 e J4 in posizione 2-3
	FLASH EPROM	512K Byte	J3 e J4 in posizione 2-3
4	RAM	128K Byte	J2 in posizione 1-2
	RAM	512K Byte	J2 in posizione 2-3
10	EEPROM	256÷8K Byte	

FIGURA 28: TABELLA DI SELEZIONE MEMORIE

Tutti i dispositivi sopra descritti devono essere con pin out di tipo JEDEC a parte l'EEPROM seriale di IC 10 che deve essere richiesta alla **grifo®** in fase di ordine della scheda. Per quanto riguarda le sigle dei vari dispositivi che possono essere montati, fare riferimento alla documentazione della casa costruttrice. Per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 21.

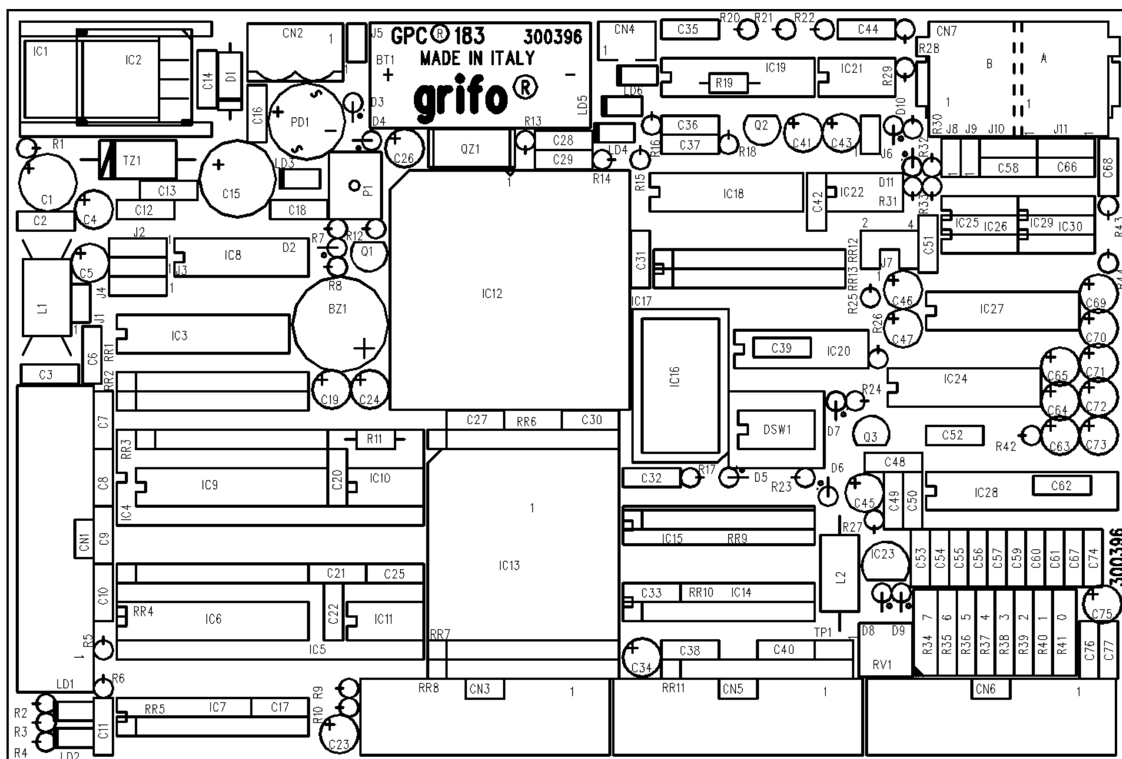


FIGURA 29: PIANTA COMPONENTI

INTERRUPTS

Una caratteristica peculiare della **GPC® 183** è la notevole potenza nella gestione delle interruzioni. Di seguito viene riportata una breve descrizione di quali sono i dispositivi che possono generare interrupts e con quale modalità; per quanto riguarda la gestione di tali interrupts si faccia riferimento ai data sheets del microprocessore oppure all'appendice B di questo manuale.

- **ABACO®** I/O BUS	->	Genera un /NMI, tramite la linea /NMI BUS di CN1. Genera un /INT1 vettorizzato, tramite la linea /INT BUS.
- Real Time Clock	->	Genera un /INT2 vettorizzato.
- Periferiche della CPU	->	Generano un interrupt vettorizzato. In particolare le possibili sorgenti d'interrupt interno sono le sezioni: PRT 0, PRT 1, DMA 0, DMA 1, CSI/O, ASCI 0, ASCI 1.

Sulla scheda é presente una catena di priorità hardware che regolamenta l'attivazione contemporanea di più interrupts. Per gli interrupts vettorizzati gli indirizzi delle procedure di risposta possono essere programmati arbitrariamente via software, tramite i registri interni al microprocessore. In questo modo l'utente ha sempre la possibilità di rispondere in maniera efficace e veloce a qualsiasi evento esterno, stabilendo anche la priorità delle varie sorgenti.

INPUT DI BORDO

La scheda **GPC® 183** è provvista di 1 dip switch a 4 vie (DSW1), tipicamente utilizzato per la configurazione del sistema, acquisibile via software dall'utente. Le applicazioni più immediate possono essere quelle destinate al settaggio delle condizioni di lavoro od alla selezione di parametri

relativi al firmware di bordo. La lettura della combinazione fissata sul dip switch avviene in logica negata (0 -> dip in ON ed 1 -> dip in OFF) effettuando un'operazione di lettura agli indirizzi dedicatogli dalla logica di controllo della scheda. L'acquisizione dei 4 dips é stata volontariamente separata in due registri distinti per differenziare la funzione del dip 4 che, in abbinamento ad alcuni pacchetti software, svolge la funzione di selettore della modalità RUN e DEBUG. Per ulteriori informazioni si faccia riferimento ai paragrafi "MAPPAGGIO I/O", mentre per una facile individuazione della sua posizione si veda la figura 21.

ALIMENTAZIONE

La scheda **GPC® 183** dispone di una efficiente circuiteria che si presta a risolvere in modo comodo ed efficace il problema dell'alimentazione della scheda in qualsiasi condizione di utilizzo. Di seguito vengono riportate le possibili configurazioni della sezione alimentatrice:

- Senza sezione alimentatrice:
In questa configurazione la scheda deve essere alimentata da una tensione di +5 Vcc che può essere fornita sugli appositi pin di CN1 o CN7A,CN7B. In caso di alimentazione fornita tramite i connettori plug CN7A o CN7B (ad esempio in sistemi distribuiti in cui più schede sono collegate in rete, tramite un solo cavo che porta sia i segnali di comunicazione che quelli di alimentazione), si devono configurare opportunamente i jumpers J10 e J11.

- Con sezione alimentatrice lineare:
In questa configurazione la scheda deve essere alimentata da una tensione di 6÷12 Vac, o corrispondente tensione continua, che deve essere fornita sui pin 1 e 2 di CN2. Nel caso di sezione alimentatrice lineare, sono a sua volta disponibili due diversi tipi di sezioni alimentatrici: la prima lineare normale richiede un ingresso 8÷12 Vac e la seconda lineare a bassa perdita richiede un ingresso 6÷10 Vac.

- Con sezione alimentatrice switching:
In questa configurazione la scheda deve essere alimentata da una tensione di 12÷24 Vac, o corrispondente tensione continua, che deve essere fornita sui pin 1 e 2 di CN2.

Indipendentemente dalla sezione alimentatrice scelta la **GPC® 183** é sempre dotata di un'efficace circuiteria di protezione che si preoccupa di proteggere la scheda da sovratensioni o dal rumore del campo. Si ricorda che la selezione del tipo di sezione alimentatrice della scheda, deve avvenire in fase di ordine della stessa; infatti questa scelta implica una diversa configurazione hardware, che deve essere effettuata dal personale addetto.
Il jumper J1 collega il positivo della tensione di alimentazione della scheda al connettore dell'**ABACO®** I/O BUS e deve quindi essere non connesso solo quando si collega la scheda provvista di sezione alimentatrice ad un sistema a sua volta provvisto di propria sezione alimentatrice.
Al fine di ridurre i consumi della scheda si possono utilizzare le modalità operative di idle e stop mode della CPU. Queste modalità possono essere preselezionate programmando gli appositi registri interni del microprocessore ed attivate con l'istruzione HALT, mentre per il risveglio da queste modalità devono essere utilizzate le linee di interrupts. Facendo riferimento al paragrafo "INTERRUPTS" si trova l'elenco dei dispositivi che possono essere utilizzate per il risveglio della CPU.
Per ulteriori informazioni si faccia riferimento al paragrafo "CARATTERISTICHE ELETTRICHE".

COMUNICAZIONE SERIALE

La linea di comunicazione seriale A della scheda **GPC® 183** può essere bufferata solo in RS 232, mentre la linea seriale B può essere bufferata in RS 232, RS 422, RS 485 o current loop. La selezione del tipo d'interfacciamento avviene via hardware e viene effettuata tramite un opportuno strippaggio dei jumpers di bordo, come può essere desunto dalla lettura delle precedenti tabelle. Dal punto di vista software sono invece definibili tutti i parametri del protocollo fisico di comunicazione tramite la programmazione dei registri interni della CPU. Vengono di seguito riportate le possibili configurazioni che possono essere effettuate; da notare che i jumpers non menzionati nella successiva descrizione, non hanno alcuna influenza ai fini della comunicazione, qualunque posizione essi occupino.

- LINEA SERIALE B=ASCI 0 SETTATA IN RS 232
  Su IC27 deve essere montato il driver MAX 202 mentre su IC25, IC26, IC29, IC30 non deve essere montato nessun driver.

- LINEA SERIALE B=ASCI 0 SETTATA IN CURRENT LOOP
  Su IC 26 deve essere montato il driver HCPL 4100, su IC 30 deve essere montato il driver HCPL 4200 mentre su IC 27, IC 25, IC 29, non deve essere montato nessun driver. Da ricordare che l'interfaccia seriale in current loop é di tipo passivo e si deve quindi collegare una linea current loop attiva, ovvero provvista di un proprio alimentatore.
  L'interfaccia current loop può essere utilizzata per realizzare sia connessioni punto punto che multipunto con un collegamento a 4 o 2 fili.

- LINEA SERIALE B=ASCI 0 SETTATA IN RS 485
  Su IC 25 deve essere montato il driver SN75176 mentre su IC 27, IC 26, IC 29, IC 30 non deve essere montato nessun driver ed il jumper J7 deve essere in posizione 1-2 e 3-4. In questa modalità le linee da utilizzare sono i pin 4 e 5 di CN7B, che quindi diventano le linee di trasmissione o ricezione a seconda dello stato del segnale /RTSB=/RTS0 gestito via software.
  Questa comunicazione la si utilizza per comunicazioni su sistemi multipunto, infatti il driver su IC 25 può essere settato in ricezione o in trasmissione, tramite la gestione del segnale /RTS0 (0=basso= trasmissione, 1=alto=ricezione). Sempre in questa modalità é possibile ricevere quanto trasmesso, in modo da fornire al sistema la possibilità di verificare autonomamente la riuscita della trasmissione; infatti in caso di conflitti sulla linea, quanto trasmesso non viene ricevuto correttamente e viceversa.

- LINEA SERIALE B=ASCI 0 SETTATA IN RS 422
  Su IC 25 e IC 29 devono essere montati i drivers SN75176 mentre su IC 27, IC 26, IC 30, non deve essere montato nessun driver ed il jumper J12 deve essere in posizione 2-3 e 4-5.
  Per sistemi punto punto, la linea /RTSB=/RTS0 può essere mantenuta sempre bassa (trasmettitore sempre attivo), mentre per sistemi multipunto si deve attivare il trasmettitore solo in corrispondenza della trasmissione sempre tramite la linea /RTS0 (0=basso=trasmettitore attivo e viceversa).

Nel caso si utilizzi la linea seriale in RS 422 o RS 485, con i jumpers J8 e J9 é possibile connettere la circuiteria di terminazione e forzatura sulla linea . Tale circuiteria deve essere sempre presente nel caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione.
Per ulteriori informazioni relative alla comunicazione seriale fare riferimento all'appendice A.

RESET E WATCH DOG

La scheda **GPC® 183** è dotata di una circuiteria di watch dog molto efficiente e di facile gestione software. In particolare le caratteristiche di questa circuiteria sono le seguenti:
— funzionamento astabile;
— tempo d'intervento settabile tramite la variazione di una rete RC (default a 1,5 sec);
— attivazione via hardware;
— retrigger via software;
Si ricorda che nel funzionamento astabile una volta scaduto il tempo d'intervento la circuiteria si attiva, rimane attiva per il tempo di reset e quindi si disattiva nuovamente.
Con il jumper J6 si seleziona se collegare la circuiteria di watch dog alla circuiteria di reset, ovvero si attiva, via hardware, la sua gestione.
Si ricorda inoltre che tra le sorgenti di /RESET della **GPC® 183**, oltre all'eventuale circuiteria di watch dog, sono sempre presenti il pulsante P1 e la circuiteria di power good. Per facilitare l'operazione di debug, l'attivazione della circuiteria di watch dog é visualizzata tramite un apposito LED, come riportato in figura 22.
Per quanto riguarda l'operazione di retrigger della circuiteria di watch dog esterna, si faccia riferimento al paragrafo "WATCH DOG".

DESCRIZIONE SOFTWARE

Questa scheda ha la possibilità di usufruire di una ricca serie di strutture software che consentono di utilizzarne al meglio le caratteristiche. In generale la scheda può utilizzare tutte le risorse software disponibili per il processore montato, ovvero i numerosi pacchetti ideati per lo Z80 e Z180. Tra questi ricordiamo:

GET80

Completo programma di EDITOR , Comunicazione e gestione delle Memorie di Massa per le schede della famiglia 80. Questo programma, sviluppato dalla **Grifo®**, consente di operare in condizioni ottimali, tutte le volte che si deve usare il GDOS o la versione per FLASH EPROM FGDOS. Viene fornito in abbinamento all'aquisto di uno dei pacchetti citati e viene personalizzato con il nome ed i dati dell'acquirente. Una serie di comodi menù a tendina facilita l'uso del programma, il quale può funzionare anche in abbinamento ad un mouse. Il programma, oltre che girare in ambiente MS-DOS, gira tranquillamente anche sulle macchine MACINTOSH in abbinamento al programma SOFT-PC. Viene fornito su dischetti MS-DOS da 3"1/2 con relativa documentazione sul manuale GDOS 80.

GDOS 183

Tools di sviluppo completo per le schede della fam. 80. Viene fornito in abbinamento al programma GET80, per consentire un immediato e pieno utilizzo di questo potente strumento di sviluppo. Il GDOS può essere concettualmente diviso in due distinte strutture. Una struttura lavora essenzialmente su PC, mantenendo il collegamento con la seconda tramite la linea seriale. La seconda risiede in EPROM ed opera a bordo scheda. La parte a bordo scheda é essenzialmente un potente Sistema Operativo che si preoccupa di eseguire tutte quelle funzioni a più basso livello e nello stesso tempo consente di poter operare con linguaggi ad Alto Livello direttamente a bordo scheda. L'abbinamento delle due strutture fa si che la scheda ed il PC si comportino come un'unica macchina. Infatti la scheda usa, come se fossero le proprie, le risorse del PC come le Memoria di Massa quali i Floppy-Disk, l'Hard-Disk; la Stampante ecc. Il tutto avviene in modo completamente trasparente per l'utente il quale usa questo tipo di Macchina Virtuale esattamente come é abituato ad adoperare il suo PC. Molto interessante é la compatibilità del GDOS con tutti i linguaggi ed i programmi CP/M. Questo significa che se l'utente ha dei programmi o dei linguaggi a cui sono legate delle applicazioni o delle sue specifiche conoscenze o altro, può utilizzare tutto quanto ha, virtualmente senza cambiamenti, in modo immediato sotto GDOS.

Il GDOS, oltre ai tipici drivers del PC, gestisce come RAM-Disk e ROM-Disk tutte le risorse di memoria della scheda, eccedenti i 64KBytes, là dove queste siano presenti. Questo significa che i dispositivi di RAM a bordo scheda, che spesso sono tamponati tramite batterie, possono essere gestite in modo diretto dai linguaggi ad alto livello, trattando comodamente come Files, le informazioni da archiviare o ricercare.

Il Tools viene fornito in EPROM, in abbinamento al disco in formato MS-DOS del GET80, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

FGDOS 153

Caratteristiche analoghe al GDOS, con la differenza che é in grado di programmare e cancellare le FLASH-EPROM a bordo scheda, con i programmi generati dall'utente. In questo modo non é necessario un programmatore di EPROM esterno per congelare il programma. E' inoltre possibile, tramite un PC Portatile, intervenire direttamente a bordo macchina per cambiare il programma di gestione.

Il Tools viene fornito in FLASH-EPROM, in abbinamento al disco in formato MS-DOS del GET80, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

xGDOS MCI 183
Versione del GDOS, o del FGDOS, in grado di gestire, ad alto livello, le schedine di Memory-Card tipo PCMCIA. In abbinamento alla scheda MCI 64, il Sistema Operativo di bordo gestisce come RAM-Disk o ROM-Disk le Memory-Card. Questo consente di risolvere rapidamente, e senza crearsi problemi di gestione software, tutte quelle problematiche di raccolta dati che spesso si incontrano nella realizzazione di strutture di Data-Logging, gestendo questi dispositivi sempre con linguaggi ad alto livello.
Il Tools viene fornito in EPROM od in FLASH-EPROM, a secondo le necessità dell'utente, in abbinamento al disco in formato MS-DOS del GET80, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

CBZ 80
Completo Compilatore BASIC, per la fam. di CPU Z80 compatibili, in grado di generare un codice molto compatto e molto veloce. Per poter funzionare ha bisogno di essere usato in abbinamento ad una qualsiasi delle versioni del GDOS. Lo CBZ-80 consente di superare la limitazione dei 64 KBytes indirizzabili dalle CPU della famiglia 80. A questo scopo si utilizza la tecnica del CHAIN, offerta dal Sistema Operativo GDOS in abbinamento alle possibilità di RAM-Disk e ROM-Disk offerte dalle varie schede del carteggio **ABACO®**. Usato con il potente Editor incorporato nel programma GET80, si dispone di un potente strumento di lavoro per generare, con estrema efficienza e comodità, qualsiasi programma applicativo.
Il programma viene fornito in EPROM, assieme al sistema operativo della serie GDOS, e su dischetto MS-DOS e con il relativo manuale tecnico ed una serie di esempi.

PASCAL 80
Completo e molto efficiente Compilatore PASCAL per la famiglia 80 di CPU. Ha delle caratteristiche operative analoghe a quelle del Turbo PASCAL Ver.3 della Borland, a cui si fà riferimento per quanto riguarda sia le caratteristiche che la manualistica. Il PASCAL-80 lavora in abbinamento ad una delle varie versioni di Sistema Operativo GDOS. Le modalità di Emulazione Terminale offerta dal programma GET80, supportano pienamente il tipico Editor a pieno schermo del PASCAL, compresa la gestione degli attributi. Sfruttando la possibilità di gestione di RAM-Disk e ROM-Disk, offerta dal GDOS, si possono sfruttare appieno le possibilità di OVERLAY del PASCAL per superare il limite dei 64KBytes di indirizzamento delle CPU della famiglia 80.
Il programma viene fornito in EPROM, assieme al sistema operativo della serie GDOS, e su dischetto MS-DOS in abbinamento alle note tecniche e ad una serie di esempi.

RSD 183
Questo Tools é un Remote Simbolic Debugger che ha due modalità operative. La prima é una modalità di debugger in simulazione. La seconda é una modalità di debugger in remoto. In questo ultimo caso si riesce ad effettuare il debugger del codice direttamente sulla scheda target. Tramite la linea seriale, si effettuato il Down-Load del programma in HEX e della relativa tabella dei simboli. Fatto il caricamento, é possibile debuggare il codice in modo simbolico, in modalità Step-To-Step, mettere break-point, ecc. con delle caratteristiche di comodità simili a quelle di un In Circuit Emulator. Il programma RSD é in grado di supportare sia il codice Z80 che i codici aggiuntivi dello Z180. Le possibilità di debugger del Tools RSD possono espletarsi sia in abbinamento ad un Macro Assembler come lo ZASM 80, che in abbinamento al C Compiler CC-80. Molto importante é la possibilità di gestire dei Break-Point software, legati ad una molteplicità di possibilità ed un Break-Point hardware che fa capo al segnale di NMI.
Il Tools viene fornito in EPROM e su un dischetto MS-DOS con il relativo manuale tecnico.

ZASM 80
Macro Cross-Assembler in grado di lavorare su un qualsiasi PC in ambiente MS-DOS. E' in grado di supportare sia il mnemonico dello Z80 che i codici aggiuntivi presenti nello Z180. Il codice generato può essere debuggato sia in simulazione sul PC che direttamente sul target, in modalità remota, utilizzando il comodo tools RSD. Lo ZASM é compatibile con il C Compiler CC-80, di cui assembla il risultato della compilazione.
Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

CC 80
Compilatore C, ANSI/ISO Standard, completo di Floating-Point, in grado di generare codice per le CPU della famiglia Z80 e Z180. Si abbina al Cross-Assembler ZASM-80 ed al Tools di Remote Simbolico Debugger, RSD.
Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

HTC 80
Cross Compilatore C professionale della Hi-Tech Software. Questo compilatore é estremamente veloce e genera pochissimo codice. Questo risultato é ottenuto grazie a delle avanzate tecniche di ottimizzazione del codice generato, basato su tecniche di Intelligenza Artificiale che gli consentono di ottenere un codice compatto ed estremamente veloce. Il pacchetto comprende IDE, Compiler, Ottimizzatore del codice, Assembler, Linker, Remote debugger, ecc. Questo tools é Full ANSI/ISO Standard C ed é Full Library Source Code. Una volta fatto il porting del modulo di Remote-Debugger, consente di debuggare il software direttamente nell'hardware in sperimentazione. Questo tipo di specializzazione del Remote-Debugger é già disponibile, e viene fornito, per tutte le schede di CPU della grifo®. Il pacchetto software viene fornito su dischetti da 3"1/2 nel formato MS-DOS, completo di un esauriente manuale.
Questa versione supporta le CPU Z80, Z180, 84C011, 84C11, 84C013, 80C13, 80C015, 84C15, 64180, NCS800, Z181, Z182.

DDS C
E' un comodo pacchetto software, a basso costo, che tramite un completo I.D.E. permette di utilizzare un editor, un compilatore "C" (integer), un assemblatore, un linker e un remote debugger abbinato ad un monitor. Sono inclusi i sorgenti delle librerie, una serie di utility ed una ricca documentazione su dischetto da 3"1/2 nel formato MS-DOS.

INTRODUZIONE

In questo capitolo ci occuperemo di fornire tutte le informazioni relative all'utilizzo della scheda, dal punto di vista della programmazione via software. Tra queste si trovano le informazioni riguardanti il mappaggio della scheda e la gestione software delle sezioni componenti.

MAPPAGGIO DELLE RISORSE DI BORDO

La gestione delle risorse della scheda è affidata ad una logica di controllo completamente realizzata con logiche programmabili. Essa si occupa del mappaggio delle zone di RAM ed EPROM e di tutte le periferiche di bordo.
La logica di controllo è realizzata in modo da gestire separatamente il mappaggio delle memorie di bordo ed il mappaggio delle periferiche viste in Input/Output. Complessivamente la CPU Z8S180 indirizza direttamente 64K Byte di memoria e 256 indirizzi di I/O, quindi alla logica di controllo è assegnato il compito di allocare lo spazio logico d'indirizzamento delle memorie nello spazio fisico massimo di 1032K Byte. Questa gestione è effettuata via software tramite la programmazione della circuiteria di MMU con cui si può definire quali memorie utilizzare con una suddivisione in segmenti di dimensioni programmabili. Per quanto riguarda il mappaggio dell'I/O si deve invece ricordare che la logica di controllo provvede naturalmente a non utilizzare le locazioni riservate per le periferiche interne della CPU, in modo da evitare ogni problema di conflittualità.
Riassumendo i dispositivi mappati sulla scheda sono essenzialmente:

- **ABACO®** I/O BUS
- Fino a 512K Byte di EPROM o FLASH EPROM su IC 5
- Fino a 512K Byte di RAM su IC 4
- Fino a 8K Byte di EEPROM seriale, su IC 10
- A/D converter
- Dip switch di configurazione DSW1
- Buzzer
- LEDs di attività
- Circuiteria di Watch Dog

Questi occupano gli indirizzi riportati nei paragrafi seguenti e non possono essere riallocati in nessun altro indirizzo. In caso di specifiche esigenze in termini di mappaggio, contattare direttamente la **grifo®**.

MAPPAGGIO I/O

Il mappaggio delle periferiche di bordo è gestito dalla logica di controllo che provvede ad indirizzare tali dispositivi all'interno dello spazio di I/O del microprocessore. Nelle seguenti tabelle sono riportati i nomi, gli indirizzi, il tipo di accesso ed una breve descrizione dei registri dei dispositivi; per quanto riguarda la descrizione del loro significato, si faccia riferimento al capitolo successivo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

DISP.	REG.	IND.	R/W	SIGNIFICATO
ASCI	ASCI	00H÷09H	R/W	Registri , interni al microprocessore, di gestione delle linee seriali asincrone
CSI/O	CSIO	0AH÷0BH	R/W	Registri , interni al microprocessore, di gestione del Clocked Serial I/O Port
TIMER	TMR	0CH÷1FH	R/W	Registri, interni al microprocessore, di gestione dei Timer/Counter
DMA	DMA	20H÷32H	R/W	Registri, interni al microprocessore, di gestione delle linee di DMA
INTERRUPT	INT	33H÷35H	R/W	Registri, interni al microprocessore, di gestione degli interrupt
REFRESH	RCR	36H÷37H	R/W	Registri, interni al microprocessore, di gestione della circuiteria di Refresh
MMU	MMU	38H÷3AH	R/W	Registri, interni al microprocessore, di gestione del Memory Management Unit
I/O	ICR	3BH÷3FH	R/W	Registri di gestione delle periferiche interne al microprocessore
LED ATT.	LD1	40H	R/W	Registro di gestione LED di attività LD1
BUZZER	BUZ	40H	R/W	Registro di gestione buzzer
DSW1	DSW1	40H	R	Registro acquisizione DSW1, LD1, buzzer
A/D	ADC	40H	R/W	Registro di gestione dell'A/D TLC2543
EEPROM	EE	40H	R/W	Registro di gestione dell'EEPROM IC10
RTS1 / CTS1	HAND	40H	R/W	Registro di gestione degli handshake della linea seriale A (/RTS1, /CTS1)
W. DOG	RWD	44H	W	Registro retrigger watch dog esterno
LED SPOT	LD6	44H	R	Registro di gestione del LED di spot LD6
INPUT	INP	44H	R	Registro acquisizione delle 4 linee di input

FIGURA 30: TABELLA INDIRIZZAMENTO I/O - PARTE 1

DISP.	REG.	IND.	R/W	SIGNIFICATO
RUN / DEB.	RUNDEB	44H	R	Registro di acquisizione stato RUN / DEBUG.
PPI	PDA	48H	R/W	Registro dati del Port A
82C55	PDB	49H	R/W	Registro dati del Port B
	PDC	4AH	R/W	Registro dati del Port C
	CNT	4BH	R/W	Registro di controllo e comando
ABACO®	/CS1	50H÷57H	R/W	Indirizzi ABACO® I/O BUS con abilitazione del segnale /CS1
I/O	/CS2	58H÷5FH	R/W	Indirizzi ABACO® I/O BUS con abilitazione del segnale /CS2
BUS	I/O BUS	50H÷EFH	R/W	Indirizzi ABACO® I/O BUS
Real	SEC1	F0H	R/W	Registro dati per unità secondi
Time	SEC10	F1H	R/W	Registro dati per decine secondi
Clock	MIN1	F2H	R/W	Registro dati per unità minuti
	MIN10	F3H	R/W	Registro dati per decine minuti
	HOU1	F4H	R/W	Registro dati per unità ore
	HOU10	F5H	R/W	Registro dati per decine ore e AM/PM
	DAY1	F6H	R/W	Registro dati per unità giorno
	DAY10	F7H	R/W	Registro dati per decine giorno
	MON1	F8H	R/W	Registro dati per unità mese
	MON10	F9H	R/W	Registro dati per decine mese
	YEA1	FAH	R/W	Registro dati per unità anno
	YEA10	FBH	R/W	Registro dati per decine anno
	WEE	FCH	R/W	Registro dati per giorno della settimana
	REGD	FDH	R/W	Registro di controllo D
	REGE	FEH	R/W	Registro di controllo E
	REGF	FFH	R/W	Registro di controllo F

FIGURA 31: TABELLA INDIRIZZAMENTO I/O - PARTE 2

MAPPAGGIO ABACO® I/O BUS

La logica di controllo della **GPC® 183** provvede anche alla gestione dell'**ABACO®** I/O BUS, definendo gli indirizzi in cui tale BUS viene allocato. In particolare, come si può notare dalla tabella indirizzamento I/O, tale BUS è indirizzato in corrispondenza degli indirizzi 50H÷EFH. Un accesso in I/O in un qualsiasi indirizzo compreso in questi range abilita il segnale /IORQ e tutti gli altri segnali di controllo di CN1. Nei sottogruppi d'indirizzi 50H÷57H e 58H÷5FH vengono inoltre rispettivamente abilitati anche i segnali /CS1 e /CS2 dedicati aall'abilitazione decodificata di periferiche esterne.

MAPPAGGIO MEMORIE

Sulla scheda i 1032K Byte di memoria che possono essere montati sono così allocati:

Fino a 512K Byte di EPROM o 512K Byte di FLASH EPROM allocati nello spazio di memoria
Fino a 512K Byte di RAM allocati nello spazio di memoria
Fino a 8K Byte di EEPROM seriale allocati nello spazio di I/O

La **GPC® 183** può indirizzare direttamente un massimo di 64K Byte di memoria che coincide con lo spazio d'indirizzamento logico del microprocessore. Questa capacità di memoria, sulla scheda, può essere suddivisa in tre segmenti distinti ognuno dei quali può avere indirizzi d'inizio e dimensioni programmabili via software. La circuiteria di MMU, interna al microprocessore, si occupa appunto di dividere lo spazio direttamente indirizzato dalla CPU in questi tre segmenti e di allocarli in memoria nello spazio dei dispositivi fisici . Programmando la circuiteria di MMU tramite gli appositi registri, è quindi possibile indirizzare indirettamente, un'area notevolmente superiore a quella supportata direttamente dal microprocessore. Viene di seguito riportata una figura che illustra le possibili configurazioni dei dispositivi allocati nello spazio di memoria: per maggiori informazioni sulle modalità di gestione della MMU e sul significato esatto dei tre segmenti gestiti (Common Area 0, Common Area 1 e Bank Area) fare riferimento all'appendice B, mentre per una facile individuazione e configurazione dei dispositivi di memoria fare riferimento alle figure 21 e 28.
All'atto del power on o del reset l'MMU é programmata in modo da allocare i 64K della CPU all'inizio dello spazio fisico d'indirizzamento, quindi la scheda parte con l'esecuzione del codice posto all'indirizzo logico 00000H della EPROM o FLASH EPROM di IC 5.

Alcuni pacchetti software, come il GDOS, si occupano autonomamente della gestione della circuiteria di MMU per allocare tutta la memoria fisicamente presente a bordo scheda nello spazio d'indirizzamento del microprocessore, senza interessare direttamente l'utente.

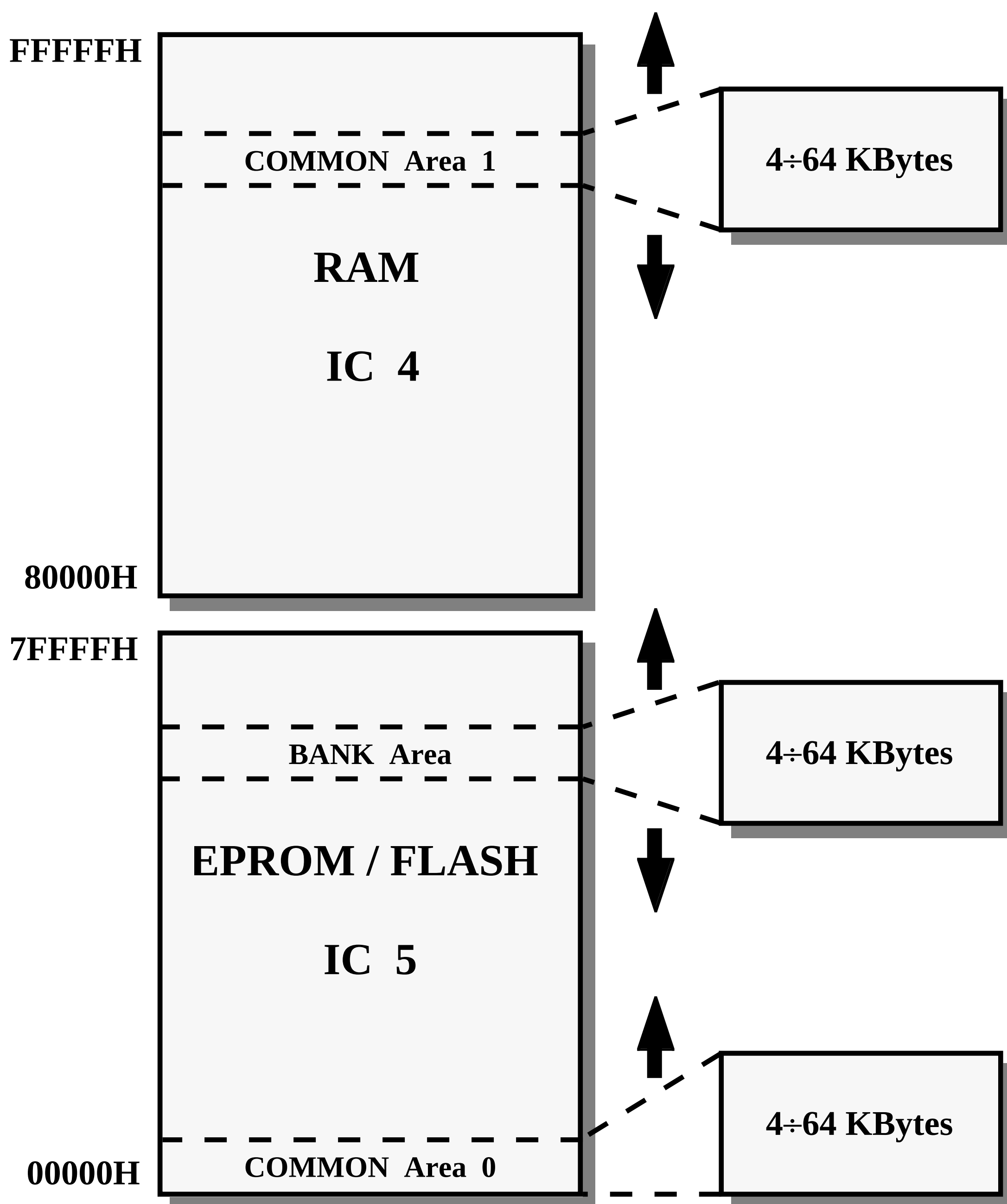


FIGURA 32: MAPPAGGIO DELLE MEMORIE

DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO

Nel paragrafo precedente sono stati riportati gli indirizzi di allocazione di tutte le periferiche e di seguito viene riportata una descrizione dettagliata della funzione e del significato dei relativi registri (al fine di comprendere le successive informazioni, fare sempre riferimento alle due tabelle di indirizzamento I/O). Qualora la documentazione riportata fosse insufficiente fare riferimento direttamente alla documentazione tecnica della casa costruttrice del componente. In questo paragrafo inoltre non vengono descritte le sezioni che fanno parte del microprocessore; per quanto riguarda la programmazione di quest'ultime si faccia riferimento all'appendice B di questo manuale. Nei paragrafi successivi si usano le indicazioni D0÷D7 per fare riferimento ai bits della combinazione utilizzata nelle operazioni di I/O.

BUZZER

Il buzzer BZ1, si attiva effettuando una operazione di output con D1=1, all'indirizzo di allocazione del registro BUZ. Logicamente la disattivazione avviene tramite un'analoga operazione di output ma con il bit D1 resettato a 0. I rimanenti sette bit del registro BUZ devono essere settati tenendo conto della programmazione fornita alle circuiterie provviste di registri allocati allo stesso indirizzo. Il registro BUZ è azzerato (tutti i bits a 0) in fase di Reset o power on, di conseguenza in seguito ad una di queste fasi il buzzer è disattivo. Lo stato del BUZZER può essere acquisito via software effettuando un'operazione di input sempre sul registro BUZ ed esaminando sempre il bit D1.

LED DI ATTIVITÀ

Il LED di attività LD1, si attiva effettuando una operazione di output con D0=1, all'indirizzo di allocazione del registro LD1. Logicamente la disattivazione avviene tramite un'analoga operazione di output ma con il bit D1 resettato a 0. I rimanenti sette bit del registro LD1 devono essere settati tenendo conto della programmazione fornita alle circuiterie provviste di registri allocati allo stesso indirizzo. Il registro LD1 è azzerato (tutti i bits a 0) in fase di Reset o power on, di conseguenza in seguito ad una di queste fasi il LED LD1 è disattivo. Lo stato del LED di attività può essere acquisito via software effettuando un'operazione di input sempre sul registyro LD1 ed esaminando il bit D0.

WATCH DOG

Il retrigger della circuiteria di watch dog presente sulla **GPC® 183**, avviene tramite una semplice operazione di otput al registro RWD. Affinché la circuiteria di watch dog non intervenga, é indispensabile retriggerarla ad intervalli regolari di durata inferiore al tempo d'intervento. Se ciò non avviene e tramite il jumper J6 la circuiteria é connessa alla sezione di reset, una volta scaduto il tempo d'intervento la scheda viene resettata. Il tempo d'intervento nella condizione di default è di circa 1,5 sec. L'intervento della circuiteria di watch dog é visualizzato dal LED LD5.

LED DI SPOT

Il LED di spot LD6, si attiva effettuando una operazione di lettura all'indirizzo di allocazione del registro LD6. A seguito di questa operazione il LED si attiva per un periodo di circa 50 msec e quindi si disattiva autonomamente. Il dato acquisito dall'operazione di scrittura sul registro SPOT é privo di significato e quindi può essere scartato. La funzione principale di questo LED é quella di segnalare il funzionamento del programma applicativo della scheda, senza appesantire lo stesso programma, oppure quella di segnalare visivamente il verificarsi di un evento caratterizzato da una gestione veloce.

DIP SWITCH DSW1 E RUN DEBUG

Il dip switch DSW1 montato a bordo della **GPC® 183** può essere accquisito via software, effettuando una semplice operazione di input all'indirizzo di allocazione del registro DSW1. La corrispondenza tra i bit del registro e le linee del dip switch è la seguente:

D6 -> DSW1.3
D5 -> DSW1.2
D4 -> DSW1.1

Come si nota della combinazione letta solo 3 bits riguardano l'acquisizione del dip switch. Il quarto dip DSW1.4 svolge la funzione di selettore delle modalità RUN o DEBUG, caratteristica di alcuni pacchetti software della **grifo®**. Il suo stato può essere acquisito effettuando un'operazione di input sul registyro RUNDEB ed esaminando il bit D7.
L'acquisizione è in logica negata, ovvero il dip in ON fornisce lo stato logico 0 al corrispondente bit, mentre il dip in OFF fornisce lo stato logico 1.

EEPROM SERIALE

Per quanto riguarda la gestione del modulo di EEPROM seriale (IC 10), si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. Si ricorda solo che i primi 32 bytes (0÷31) sono riservati e perciò si deve evitare la modifica deimedesimi. La logica di controllo della scheda consente la gestione software della EEPROM tramite l'apposito registro EE, con le seguenti corrispondenze:

D2 (input) -> linea DATA (SDA)
D3 (output) -> linea DATA (SDA)
D4 (output) -> linea CLOCK (SCL)

Data l'implementazione hardware della circuiteria di gestione del modulo di EEPROM seriale, si ricorda che di tale dispositivo i segnali A0,A1,A2 dello slave address sono tutti posti a0 logico.
Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del relativo segnale.

A/D CONVERTER

Per quanto riguarda la gestione software degli 11 canali di A/D converter, di cui può essere dotata la **GPC® 183**, si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. La logica di controllo della scheda consente la gestione software dell'A/D converter tramite l'apposito registro ADC, con le seguenti corrispondenze:

D3 (input)	->	linea DATA OUT
D5 (output)	->	linea /CS
D6 (output)	->	linea DATA IN
D7 (output)	->	linea I/O CLOCK

Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del relativo segnale.

4 LINEE DI INPUT DIGITALE

Sul connettore CN5 della **GPC® 183** sono presenti 4 linee di input digitale a livello TTL (si veda figura 7 e 8) il cui stato può essere acquisito via software effettuando una semplice operazione di input all’indirizzo di allocazione del registro INP. La corrispondenza tra i bit del registro e le linee del connettore è la seguente:

D0	->	IN0
D1	->	IN1
D2	->	IN2
D3	->	IN3

Come si nota della combinazione letta solo i 4 bits meno significativi riguardano l’acquisizione delle linee di input dip switch.
Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del relativo segnale.

HANDSHAKE SERIALE A

La linea seriale ASCI 1 del microprocessore non dispone di due segnali di handshake e sono quindi stati generati da una apposita circuiteria a bordo scheda che viene gestita via software tramite l'apposito registro HAND. In particolare la corrispondenza tra i bit del registro e le linee del connettore CN7A è la seguente:

D2 (output)	->	/RTSA
D7 (input)	->	/CTSA

Lo stato logico 0 dei bit corrisponde allo stato logico attivo del relativo segnale RS 232, mentre lo stato logico 1 dei bit corrisponde allo stato logico disattivo del segnale RS 232.
Con questa circuiteria la **GPC® 183** diventa il componente ideale come gestore di comunicazioni, infatti complessivamente dispone di due linee seriali asincrone complete di due handshake hardware e di una linea seriale sincrona.

PPI 82C55

Questa periferica è vista in 4 registri: uno di stato (CNT) e tre dei dati (PDA, PDB, PDC) con cui si effettua la programmazione ed il comando della stessa. I registri dati sono utilizzati sia per operazioni di lettura (acquisizione linee dei port) che per quelle di scrittura (settaggio linee dei port) ed ognuno di tali registri riporta i dati di I/O del corrispondente port. La periferica può operare in tre modi diversi:

MODO 0 = Prevede due port bidirezionali da 8 bit (A,B) e due port bidirezionali da 4 bit (C LOW, C HIGH); gli ingressi non sono latchati, mentre le uscite lo sono; nessun segnale di handshaking.

MODO 1 = Prevede due port da 12 bit (A+C LOW, B+C HIGH) dove gli 8 bit dei port A e B costituiscono le linee di I/O, mentre i 4 bit del port C costituiscono le linee di handshaking. Gli ingressi e le uscite sono latchati.

MODO 2 = Prevede un port da 13 bit (A+C3-7) dove gli 8 bit del port A costituiscono le linee di I/O, mentre i rimanenti 5 bit del port C costituiscono le linee di controllo. Un port da 11 bit (B+ C0-2) dove gli 8 bit del port B costituiscono le linee di I/O ed i rimanenti 3 bit del port C costituiscono le linee di controllo. Sia gli ingressi che le uscite sono latchate.

La programmazione della periferica avviene scrivendo un byte nel registro di controllo CNT, settando gli 8 bit del dato scritto con la seguente corrispondenza:

	D7	D6	D5	D4	D3	D2	D1	D0
CNT =	SF	M1	M2	A	CH	M3	B	CL

dove:

SF	= Se attivo (1) abilita il comando della periferica
M1 M2	= Selezionano il modo di funzionamento
0 0	= Selezione del modo 0
0 1	= Selezione del modo 1
1 X	= Selezione del modo 2
A	= Se attivo (1) setta il port A in input e viceversa
CH	= Se attivo setta il nibble più significativo del port C in input e viceversa
M3	= Se attivo (1) seleziona modo 1, viceversa seleziona modo 0
B	= Se attivo setta il port B in input e viceversa
CL	= Se attivo setta il nibble meno significativo del port C in input e viceversa.

Dopo una fase di Reset o di power on il PPI 82C55 viene settato in modo 0 con tutti i port settati in input.

REAL TIME CLOCK

Questa periferica è vista in 16 locazioni di I/O consecutive di cui 3 di stato e le rimanenti 13 per i dati. I registri dati sono utilizzati sia per operazioni di lettura (dell'orario attuale) che di scrittura (per l'inizializzazione dell'orologio) così come i registri di stato i quali sono utilizzati in scrittura (per la programmazione del modo di funzionamento dell'orologio) ed in lettura (per determinare lo stato dell'orologio). Per quanto riguarda il significato dei registri dati vale la corrispondenza:

SEC1	- Unita' dei secondi	- 4 bit meno significativi:	SEC1.3÷SEC.0
SEC10	- Decine dei secondi	- 3 bit meno significativi:	SEC10.2÷SEC10.0
MIN1	- Unita' dei minuti	- 4 bit meno significativi:	MIN1.3÷MIN1.0
MIN10	- Decine dei minuti	- 3 bit meno significativi:	MIN10.2÷MIN10.0
HOU1	- Unita' delle ore	- 4 bit meno significativi:	HOU1.3÷HOU1.0
HOU10	- Decine delle ore	- 2 bit meno significativi:	HOU10.1÷HOU10.0
		Il terzo bit di tale registro, H10.2, indica l'AM/PM	
DAY1	- Unita' del giorno	- 4 bit meno significativi:	DAY1.3÷DAY1.0
DAY10	- Decine del giorno	- 2 bit meno significativi:	DAY10.1÷DAY10.0
MON1	- Unita' del mese	- 4 bit meno significativi:	MON1.3÷MON1.0
MON10	- Decine del mese	- 1 bit meno significativo:	MON10.0
YEA1	- Unita' dell' anno	- 4 bit meno significativi:	YEA1.3÷YEA1.0
YEA10	- Decine dell' anno	- 4 bit meno significativi:	YEA10.3÷YEA10.0
WEE	- Giorno della settimana	- 3 bit meno significativi:	WEE.2÷WEE.0

Per quest' ultimo registro vale la corrispondenza:

WEE.2	WEE.1	WEE.0	Giorno della settimana
0	0	0	Domenica
0	0	1	Lunedi'
0	1	0	Martedi'
0	1	1	Mercoledi'
1	0	0	Giovedi'
1	0	1	Venerdi'
1	1	0	Sabato

I tre registri di controllo sono invece utilizzati come segue:

	D7	D6	D5	D4	D3	D2	D1	D0
REGD =	NU	NU	NU	NU	30S	IF	B	H

dove:

NU = Non usato

30S = Se attivo (1) permette di effettuare una correzione di 30 secondi dell'orario. Una volta settato i secondi del RTC vengono azzerati ed i minuti incrementati se il precedente valore dei secondi era superiore o uguale a 30.

IF = Gestisce lo stato d'interrupt del RTC. In lettura riporta lo stato attuale d'interrupt (1=attivo e viceversa), mentre se resettato con una scrittura determina la fine interrupt, quando il RTC lavora in interrupt mode.

B = Indica se possono essere effettuate operazioni di lettura/scrittura dei registri: 1 -> operazioni impossibili e viceversa.

H = Se attivo (1) effettua la memorizzazione dell'orario fissato.

	D7	D6	D5	D4	D3	D2	D1	D0
REG E =	NU	NU	NU	NU	T1	T0	I	M

dove:

NU = Non usato.

T1	T0	= Determinano la durata del periodo di interrupt
0	0	-> 1/64 secondo
0	1	-> 1 secondo
1	0	-> 1 minuto
1	1	-> 1 ora

I = Determina modalità di gestione interrupt: se settato seleziona l'interrupt mode in cui l'interrupt si attiva allo scadere del periodo programmato e si disattiva con un reset del bit IF del registro D; se resettato seleziona lo standard mode in cui l'interrupt si attiva allo scadere del periodo programmato e si disattiva autonomamente dopo 7,8 msec.
M = Se settato disabilita il pin di interrupt del RTC e viceversa.

	D7	D6	D5	D4	D3	D2	D1	D0
REG F =	NU	NU	NU	NU	T	24/12	S	R

dove:
NU = Non usato.
T = Stabilisce da quale contatore interno prelevare il segnale di conteggio: 1 -> contatore principale (conteggio veloce per test); 0 -> 15° contatore (conteggio normale).
24/12 = Stabilisce il modo di conteggio delle ore: 1 -> 0÷23; 0 -> 0÷11 con AM/PM.
S = Se settato provoca l'arresto dell'avanzamento dell'orologio fino alla sucessiva abilitazione.
R = Se settato (1) provoca il reset di tutti i contatori interni.

PERIFERICHE DELLA CPU

La descrizione dei registri e del relativo significato di tutte le periferiche interne della CPU (ASCI, CSI/O, TIMER, DMA, INTERRUPT, REFRESH, MMU, I/O) é disponibile nell'appendice B. Qualora queste informazioni fossero ancora insufficienti, fare riferimento alla documentazione tecnica della casa costruttrice.

SCHEDE ESTERNE

La scheda **GPC® 183** si interfaccia a buona parte dei moduli della serie BLOCK e di interfaccia utente. Le risorse di bordo possono essere facilmente aumentate collegando la **GPC® 183** alle numerose schede periferiche del carteggio **Grifo®** tramite l'**ABACO®** I/O BUS. Anche schede in formato Europa con BUS **ABACO®** possono essere collegate, sfruttando gli appositi mother boards. A titolo di esempio ne riportiamo un elenco con una breve descrizione delle carratteristiche di massima; per maggiori informazioni richiedere la documentazione specifica:

KDL X24 - KDF 224

Keyboard Display LCD 2,4 righe 24 tasti - Keyboard Display Fluorescent 2 righe 24 tasti

Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e tastiera a matrice esterna da 24 tasti; display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs. Predisposizione per collegamento a tastiera telefonica.

QTP 24P

Quick Terminal Panel 24 tasti con interfaccia Parallela

Interfaccia operatore provvista di display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs; tastiera a membrana da 24 tasti di cui 12 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda in grado di pilotare anche carichi esterni; interdaccia parallela basata su 16 I/O TTL di un connettore normalizzato I/O **ABACO®** a 20 vie. Tasti ed etichette personalizzabili tramite serigrafie da inserire in apposite tasche; opzione di contenitore metallico.

QTP G28

Quick Terminal Panel 28 tasti con LCD grafico

Interfaccia operatore provvista di display grafico da 240x128 pixel retroilluminato a catodo freddo; tastiera a membrana da 28 tasti di cui 6 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda; interdaccia seriale in RS 232, RS 422-485 o current loop; linea seriale ausiliaria in RS 232 Tasti e LED personalizzabili tramite serigrafie da inserire in apposite tasche; ; EEPROM di set up; 256K EPROM o FLASH; Real Time Clock; 128K RAM; buzzer; interfaccia CAN; relé utente. Firmware di gestione che svolge funzione di terminale con primitive grafiche.

MCI 64

Memory Cards Interfaces 64 MBytes

Interfaccia per la gestione di Memory cards PCMCIA a 68 pins tramite un connettore normalizzato I/O **ABACO®**; sono disponibili driver per linguaggi ad alto livello.

IBC 01

Interface Block Comunication

Scheda di conversioni per comunicazioni seriali. 2 linee RS 232; 1 linea RS 422-485; 1 linea in fibra ottica; interfaccia DTE/DCE selezionabile; attacco rapido per guide tipo DIN 46277-1 e 3.

ZBR xxx

Zipped BLOCK Relays xx Input + xx Output

Periferica per xx Input optoisolati e visualizzati tipo NPN; xx relé da 3A con MOV; connettori a morsettiera per ingressi optoisolati e uscite; connettore normalizzato **ABACO®** I/O BUS; LEDs di visualizzazione; sezione alimentatrice a bordo; attacco rapide per guide Ω. Le possibili configurazioni in termini di numero di I/O sono: xxx=324 con 32 In e 24 Out; xxx=246 con 24 In e 16 Out; xxx=168 con 16 In e 8 Out; xxx=84 con 8 In e 4 Out.

IAC 01

Interface Adapter Centronics

Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e connettore a vaschetta D 25 vie femmina con pin out standard Centronics per la gestione di una stampante parallela.

OBI N8 - OBI P8

Opto BLOCK Input NPN-PNP

Interfaccia per 8 input optoisolati e visualizzati tipo NPN, PNP, connettore a morsettiera, connettore normalizzato I/O **ABACO®** a 20 vie; sezione alimentatrice; attacco rapido per guide DIN 46277-1 e 3.

TBO 01 - TBO 08

Transistor BLOCK Output

Interfaccia per 16 connettore normalizzato I/O **ABACO®** a 20 vie; 16 o 8 output a transistor in Open Collector da 45 Vcc 3 A su connettore a morsettiera. Uscite optoisolate e visualizzate; attacco rapido per guide DIN 6277-1 e 3.

RBO 08 - RBO 16

Relé BLOCK Output

Interfaccia per connettore normalizzato I/O **ABACO®** a 20 vie; 8 o 16 output visualizzati con relé da 3 A con MOV; connettore a morsettiera; attacco rapido per guide DIN 46277-1 e 3.

FBC 20 - FBC 120

Flat Block Contact 20 vie

Interfaccia tra 2 o 1 connettori a perforazione di isolante (scatolino da 20 vie maschi) e la filatura da campo (morsettiere a rapida estrazione). Attacco rapido per guide tipo DIN 46277-1 e 3.

DEB 01

Didactis Experimental Board

Scheda di supportro per l'utilizzo di 16 linee di I/O TTL. Comprende: 16 tasti; 16 LED; 4 digits; tastiera a matrice da 16 tasti; interfaccia per stampante Centronics, dislay LCD, display Fluorescente, connettore I/O **GPC® 68**; collegamento con il campo.

IAL 42

Interface Adapter LCD

Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** e connettore a scatolino a 14 vie con pin out standard per la gestione di display fluorescenti LCD.

XBI 01

miXed BLOCK Input-Output

Interfaccia tra 8 input + 8 output TTL (connettore normalizzato I/O **ABACO®** a 20 vie), con 8 output a transistor in Open Collector da 45 Vcc 3 A + 8 input con filtro a Pi-Greco (connettore a morsettiera). I/O optoisolati e visualizzati; attacco rapido per guide DIN 46277-1 e 3.

XBI R4 - XBI T4

miXed BLOCK Input-Output

Interfaccia per connettore normalizzato I/O **ABACO®** a 20 vie; 4 relé da 3 A con MOV o 4 transistor open collectors da 3 A optoisolati; 4 linee di input optoisolate; linee di I/O visualizzate; connettore a morsettiera; attacco rapido per guide DIN tipo C e guide Ω.

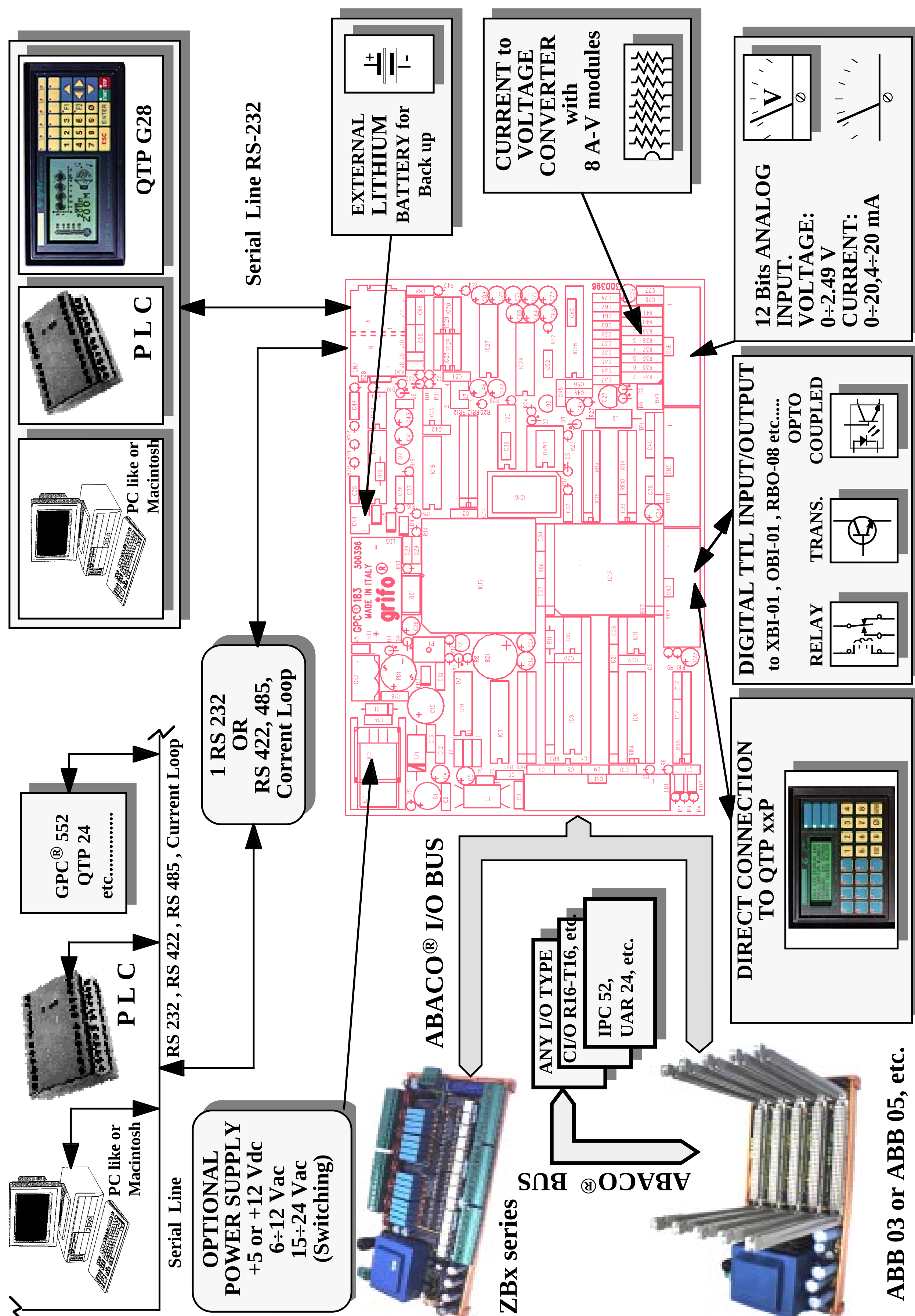


FIGURA 33: SCHEMA DELLE POSSIBILI CONNESSIONI

ZBT xxx

Zipped BLOCK Transistors xx Input + xx Output

Periferica per xy Input optoisolati e visualizzati tipo NPN; yz darlinghton da 3A con diodo di ricircolo; connettori a morsettiera per ingressi optoisolati e uscite; connettore normalizzato **ABACO®** I/O BUS; 61 LEDs di visualizzazione; sezione alimentatrice a bordo; attacco rapido per guide Ω. Le possibili configurazioni in termini di numero di I/O sono: xxx=324 con 32 In e 24 Out; xxx=246 con 24 In e 16 Out; xxx=168 con 16 In e 8 Out; xxx=84 con 8 In e 4 Out.

ABB 05

Abaco® Block BUS 5 slots

Mother board **ABACO®** da 5 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO®** I/O BUS; sezione alimentatrice per +5 Vdc; sezione alimentatrice per +V Opto; sezioni alimentatrici galvanicamente isolate; tre tipi di alimentazione: da rete, bassa tensione o stabilizzata. Attacco rapido per guide Ω.

ABB 03

Abaco® Block BUS 3 slots

Mother board ABACO® da 3 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO®** I/O BUS. Attacco rapido per guide Ω.

BIBLIOGRAFIA

E' riportato di seguito, un elenco di manuali e note tecniche, a cui l'utente può fare riferimento per avere maggiori chiarimenti, sui vari componenti montati a bordo della scheda **GPC® 183**.

Manuale TEXAS INSTRUMENTS: *The TTL Data Book - SN54/74 Families*
Manuale TEXAS INSTRUMENTS: *RS-422 and RS-485 Interface Circuits*
Manuale TEXAS INSTRUMENTS: *Linear Circuits Dtata Book - Volumi 1 e 3*

Manuale NEC: *Memory Products*
Manuale NEC: *Microprocessors and Peripherals - Volume 3*

Manuale SGS-THOMSON: *Programmable logic manual - GAL products*

Manuale HEWLETT PACKARD: *Optoelectronics Designer's Catalog*

Manuale MAXIM: *New Releases Data Book - Volume IV*
Manuale MAXIM: *New Releases Data Book - Volume V*

Manuale XICOR: *Data Book*

Manuale NATIONAL SEMICONDUCTOR: *Linear Databook - Volume 1*

Documentazione ZILOG: *Z80S180/Z8L180 Enhanced Z180 Microprocessor*

APPENDICE A: DISPOSIZIONE JUMPERS E DRIVER

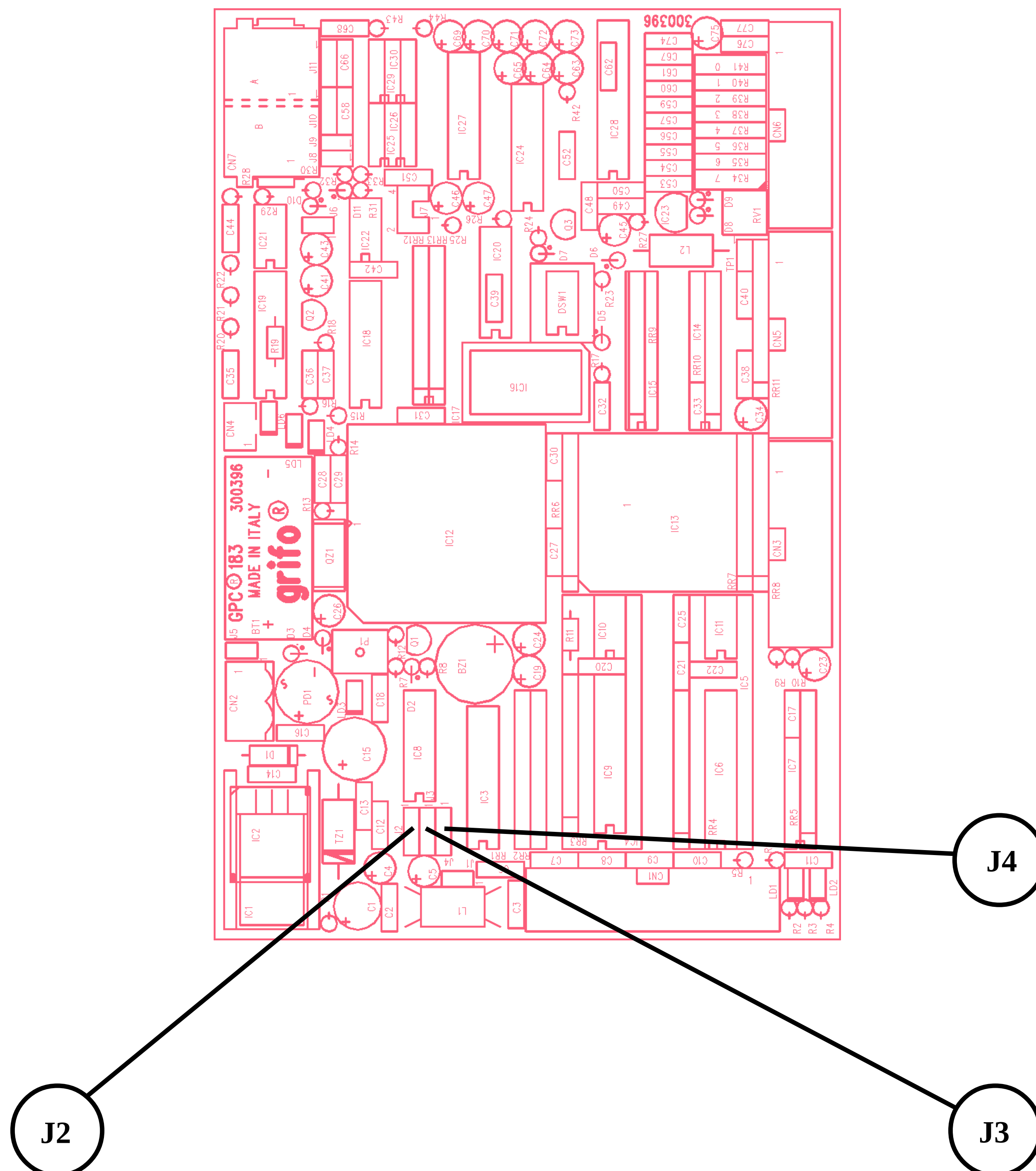


FIGURA A1: DISPOSIZIONE JUMPERS PER MEMORIE

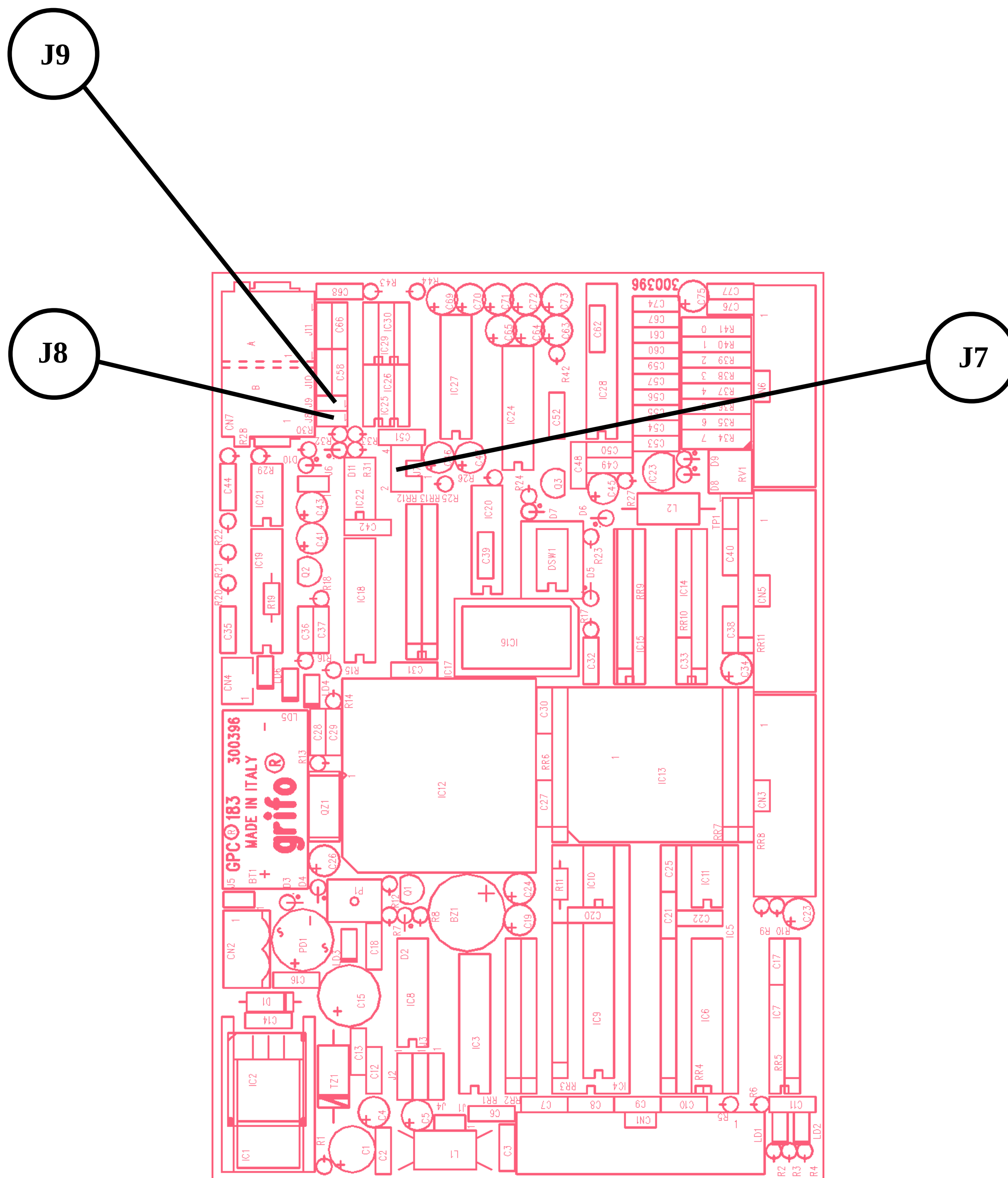
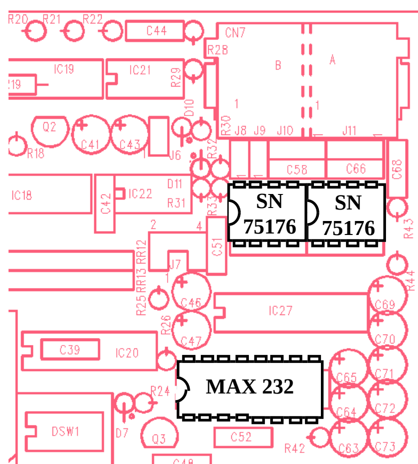
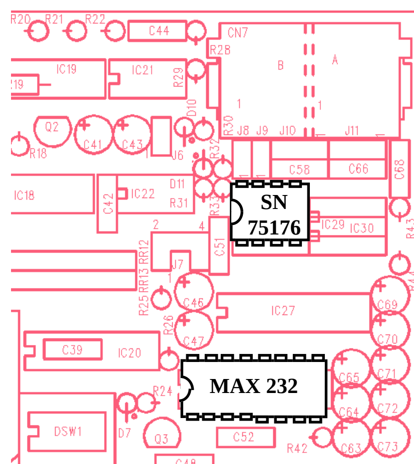


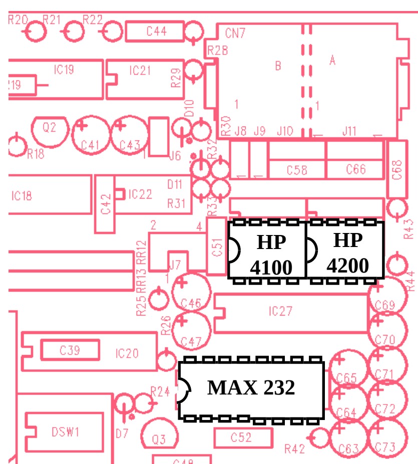
FIGURA A2: DISPOSIZIONE JUMPERS PER COMUNICAZIONE SERIALE



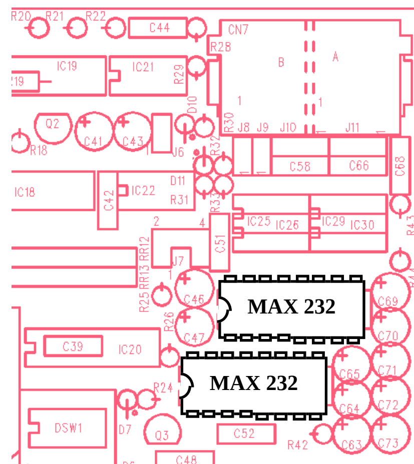
Seriale A = RS 232
Seriale B = RS 422



Seriale A = RS 232
Seriale B = RS 485

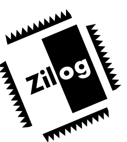


Seriale A = RS 232
Seriale B = Current loop



Seriale A = RS 232
Seriale B = RS 232

FIGURA A3: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE



Z80180/Z8S180/ Z8L180 SL1919

ENHANCED Z180 MICROPROCESSOR

FEATURES

- Code Compatible with Zilog Z80® CPU
- Extended Instructions
- Two Chain-Linked DMA Channels
- Low Power-Down Modes
- On-Chip Interrupt Controllers
- Three On-Chip Wait-State Generators
- On-Chip Oscillator/Generator
- Expanded MMU Addressing (up to 1 MB)
- Clocked Serial I/O Port
- Two 16-Bit Counter/Timers
- Two Enhanced UARTs (up to 512 Kbps)
- Clock Speeds: 6, 8, 10, 20, 33 MHz
- Operating Range: 5V (3.3V@ 20 MHz)
- Operating Temperature Range: 0°C to +70°C
- -40°C to +85°C Extended Temperature Range
- Three Packaging Styles
  - 68-Pin PLCC
  - 64-Pin DIP
  - 80-Pin QFP

GENERAL DESCRIPTION

The enhanced Z80180/Z8S180/Z8L180™ significantly improves on the previous Z80180 models while still providing full backward compatibility with existing Zilog Z80 devices. The Z80180/Z8S180/Z8L180 now offers faster execution speeds, power saving modes, and EMI noise reduction.

This enhanced Z180 design also incorporates additional feature enhancements to the ASCIs, DMAs, and I_{cc} STANDBY Mode power consumption. With the addition of “ESCC-like” Baud Rate Generators (BRGs), the two ASCIs now have the flexibility and capability to transfer data asynchronously at rates of up to 512 Kbps. In addition, the ASCI receiver has added a 4-byte First In First Out (FIFO) which can be used to buffer incoming data to reduce the incidence of overrun errors. The DMAs have been modified to allow for a “chain-linking” of the two DMA channels when set to take their DMA requests from the same peripherals device. This feature allows for non-stop DMA operation between the two DMA channels, reducing the amount of CPU intervention (Figure 1).

Not only does the Z80180/Z8S180/Z8L180 consume les power during normal operations than the previous mode it has also been designed with three modes intended to fu ther reduce the power consumption. Zilog reduced I_{cc} pow er consumption during STANDBY Mode to a minimum c 10 µA by stopping the external oscillators and interna clock. The SLEEP mode reduces power by placing th CPU into a “stopped” state, thereby consuming less cu rent while the on-chip I/O device is still operating. Th SYSTEM STOP mode places both the CPU and the o chip peripherals into a “stopped” mode, thereby reducin power consumption even further.

A new clock doubler feature has been implemented in th Z80180/Z8S180/Z8L180 device that allows the progran mer to double the internal clock from that of the externa clock. This provides a systems cost savings by allowin the use of lower cost, lower frequency crystals instead c the higher cost, and higher speed oscillators.

The Enhanced Z180 is housed in 80-pin QFP, 68-pi PLCC, and 64-pin DIP packages.

Notes: All Signals with a preceding front slash, “/” are active Low, for example, B//W (WORD is active Low); /B/W (BYTE is active Low, only). Alternatively, an overslash may be used to signify active Low, for example $\overline{WR}$

Power connections follow conventional descriptions be low:

Connection	Circuit	Device
Power	V_{CC}	V_{DD}
Ground	GND	V_{SS}

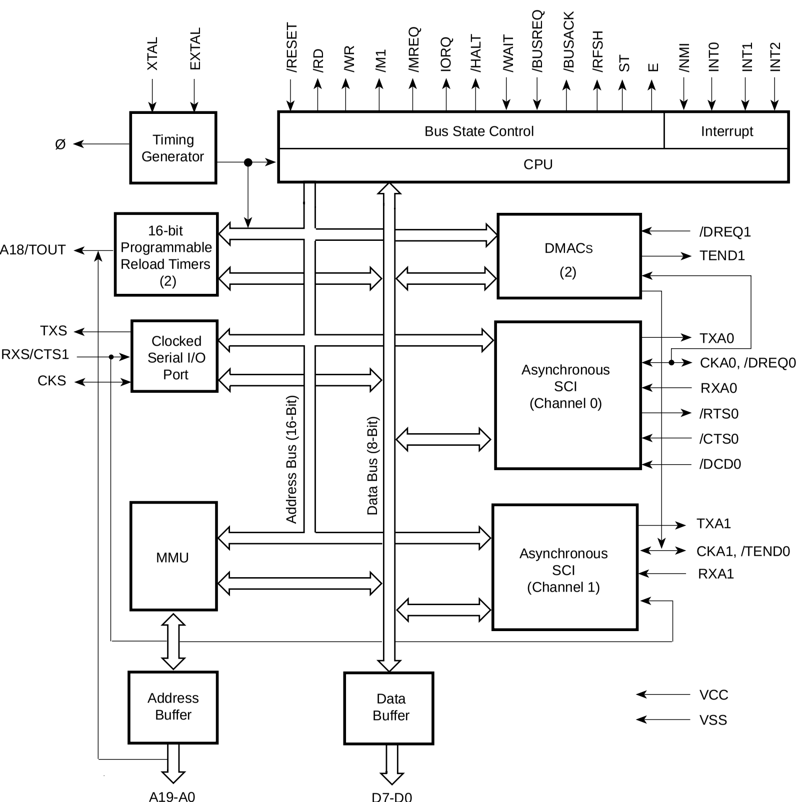


Figure 1. Z80180/Z8S180/Z8L180 Functional Block Diagram



HALT and Low-Power Operating Modes. The Z80180/Z8S180/Z8L180 can operate in seven modes with respect to activity and power consumption:

- Normal Operation
- HALT Mode
- IOSTOP Mode
- SLEEP Mode
- SYSTEM STOP Mode
- IDLE Mode
- STANDBY Mode (with or without QUICK RECOVERY)

Normal Operation. The Z80180/Z8S180/Z8L180 processor is fetching and running a program. All enabled functions and portions of the device are active, and the HALT pin is High.

HALT Mode. This mode is entered by the HALT instruction. Thereafter, the Z80180/Z8S180/Z8L180 processor continually fetches the following opcode but does not execute it, and drives the HALT, ST and M1 pins all Low. The oscillator and PHI pin remain active, interrupts and bus granting to external masters, and DRAM refresh can occur and all on-chip I/O devices continue to operate including the DMA channels.

The Z80180/Z8S180/Z8L180 leaves HALT mode in response to a Low on RESET, on to an interrupt from an enabled on-chip source, an external request on NMI, or an enabled external request on INT0, INT1, or INT2. In case of an interrupt, the return address will be the instruction following the HALT instruction; at that point the program can either branch back to the HALT instruction to wait for another interrupt, or can examine the new state of the system/application and respond appropriately.

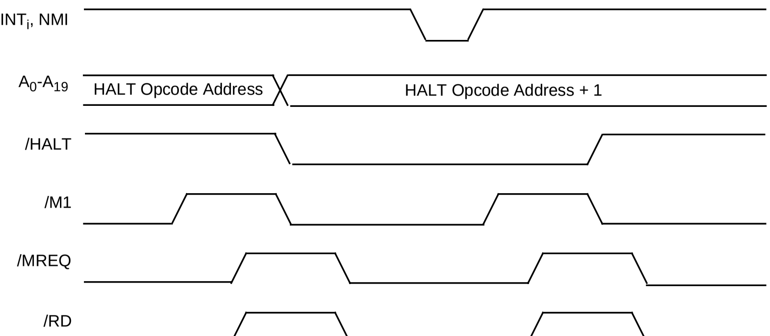


Figure 13. HALT Timing

SLEEP Mode. This mode is entered by keeping the IOSTOP bit (ICR5) bits 3 and 6 of the CPU Control Register (CCR3, CCR6) all zero and executing the SLP instruction. The oscillator and PHI output continue operating, but are blocked from the CPU core and DMA channels to reduce power consumption. DRAM refresh stops but interrupts and granting to external master can occur. Except when the bus is granted to an external master, A19-0 and all control signals except /HALT are maintained High. /HALT is Low. I/O operations continue as before the SLP instruction, except for the DMA channels.

The Z80180/Z8S180/Z8L180 leaves SLEEP mode in response to a low on /RESET, an interrupt request from an on-chip source, an external request on /NMI, or an external request on /INT0, 1, or 2.

If an interrupt source is individually disabled, it cannot bring the Z80180/Z8S180/Z8L180 out of SLEEP mode. If an interrupt source is individually enabled, and the IEF bit is 1 so that interrupts are globally enabled (by an EI instruction), the highest priority active interrupt will occur, with the return address being the instruction after the SLP instruction. If an interrupt source is individually enabled, but the IEF bit is 0 so that interrupts are globally disabled (by a DI instruction), the Z80180/Z8S180/Z8L180 leaves SLEEP mode by simply executing the following instruction(s).

This provides a technique for synchronization with high-speed external events without incurring the latency imposed by an interrupt response sequence. Figure 14 shows the timing for exiting SLEEP mode due to an interrupt request. Note that the Z80180/Z8S180/Z8L180 takes about 1.5 clocks to restart.

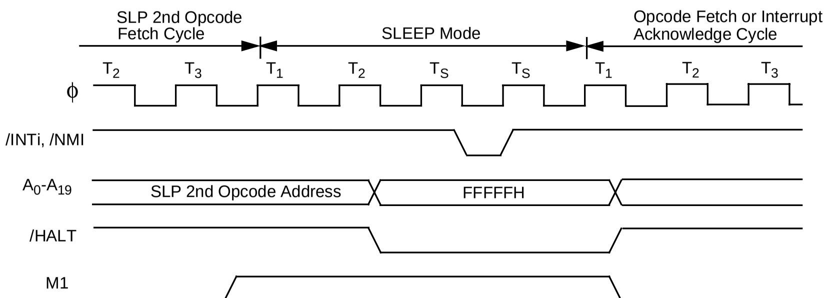


Figure 14. SLEEP Timing

IOSTOP Mode. IOSTOP mode is entered by setting the IOSTOP bit of the I/O Control Register (ICR) to 1. In this case, on-chip I/O (ASCI, CSI/O, PRT) stops operating. However, the CPU continues to operate. Recovery from IOSTOP mode is by resetting the IOSTOP bit in ICR to 0.

SYSTEM STOP Mode. SYSTEM STOP mode is the combination of SLEEP and IOSTOP modes. SYSTEM STOP mode is entered by setting the IOSTOP bit in ICR to 1 followed by execution of the SLP instruction. In this mode, on-chip I/O and CPU stop operating, reducing power consumption, but the PHI output continues to operate. Recovery from SYSTEM STOP mode is the same as recovery from SLEEP mode except that internal I/O sources (disabled by IOSTOP) cannot generate a recovery interrupt.

IDLE Mode. Software can put the Z80180/Z8S180/Z8L180 into this mode by setting the IOSTOP bit (ICR5) to 1, CCR6 to 0, CCR3 to 1 and executing the SLP instruction. The oscillator keeps operating but its output is blocked to all circuitry including the PHI pin. DRAM refresh and all internal devices stop, but external interrupts can occur. Bus granting to external masters can occur if the BREST bit in the CPU control Register (CCR5) was set to 1 before IDLE mode was entered.

The Z80180/Z8S180/Z8L180 leaves IDLE mode in response to a Low on RESET, an external interrupt request on NMI, or an external interrupt request on /INT0, /INT1 or /INT2 that is enabled in the INT/TRAP Control Register. As previously described for SLEEP mode, when the Z80180/Z8S180/Z8L180 leaves IDLE mode due to an NMI, or due to an enabled external interrupt request when the IEF flag is 1 due to an EI instruction, it starts by performing the interrupt with the return address being that of the instruction after the SLP instruction.

If an external interrupt enables the INT/TRAP control register while the IEF1 bit is 0, Z80180/Z8S180/Z8L180 leaves IDLE mode; specifically, the processor restarts by executing the instructions following the SLP instruction.

Figure 15 shows the timing for exiting IDLE mode due to an interrupt request. Note that the Z80180/Z8S180/Z8L180 takes about 9.5 clocks to restart.

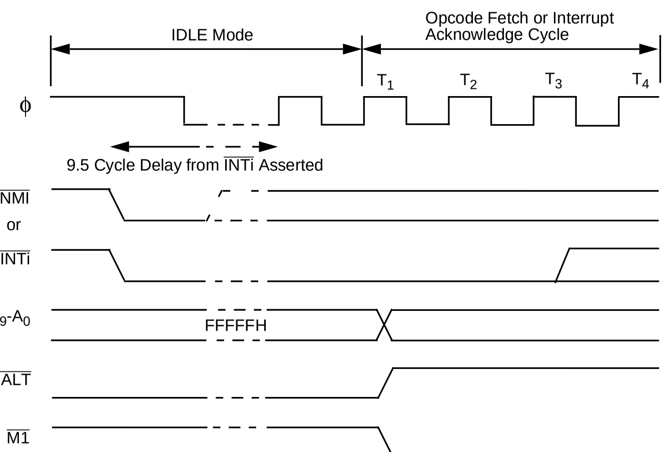


Figure 15. Z80180/Z8S180/Z8L180 IDLE Mode Exit due to External Interrupt

While the Z80180/Z8S180/Z8L180 is in IDLE mode, it will grant the bus to an external master if the BREXT bit (CCR5) is 1. Figure 16 shows the timing for this sequence. Note that the part takes 8 clock cycles longer to respond to the Bus Request than in normal operation.

After the external master negates the Bus Request, the Z80180/Z8S180/Z8L180 disables the PHI clock and remains in IDLE mode.

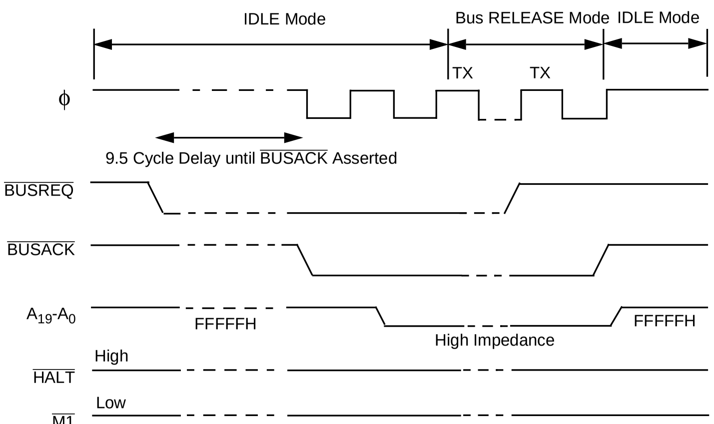


Figure 16. Bus Granting to External Master in IDLE Mode

STANDBY Mode (With or Without QUICK RECOVERY). Software can put the Z80180/Z8S180/Z8L180 into this mode by setting the IOSTOP bit (ICR5) to 1 and CCR6 to 1, and executing the SLP instruction. This mode stops the on-chip oscillator and thus draws the least power of any mode, less than 10µµA.

As with IDLE mode, the Z80180/Z8S180/Z8L180 will leave STANDBY mode in response to a Low on RESET or on NMI, or a Low on INT0-2 that is enabled by a 1 in the corresponding bit in the INT/TRAP Control Register, and will grant the bus to an external master if the BREXT bit in the CPU Control Register (CCR5) is 1. But the time required for all of these operations is greatly increased by the need to restart the on-chip oscillator and ensure that it has stabilized to square-wave operation.

When an external clock is connected to the EXTAL pin rather than a crystal to the XTAL and EXTAL pins, and the external clock runs continuously, there is little need to use STANDBY mode because there is no time required to restart the oscillator, and other modes restart faster. However, if external logic stops the clock during STANDBY mode (for example, by decoding HALT Low and M1 High for several clock cycles), then STANDBY mode can be useful to allow the external clock source to stabilize after it is re-enabled.

When external logic drives RESET Low to being a Z80180/Z8S180/Z8L180 out of STANDBY mode, and a crystal is used or an external clock source has been stopped, the external logic must hold RESET Low until the on-chip oscillator or external clock source has restarted and stabilized.

The clock stability requirements of the Z80180/Z8S180/Z8L180 are much less in the divide-by-two mode that's selected by a Reset sequence and thereafter controlled by the Clock Divide bit in the CPU Control Register (CCR7). Because of this, software should:

a. Program CCR7 to 0 to select divide-by-two mode, before the SLP instruction that enters STANDBY mode, and.

b. After a Reset, interrupt or in-line restart after the SLP 01 instruction, delay programming CCR7 back to 1 to set divide-by-one mode, as long as possible to allow additional clock stabilization time.

If software sets CCR6 to 1 before the SLP instruction places the MPU in STANDBY mode, the value in the CCR3 bit determines how long the Z80180/Z8S180/Z8L180 will wait for oscillator restart and stabilization when it leaves STANDBY mode due to an external interrupt request. If CCR3 is 0, the Z80180/Z8S180/Z8L180 waits 217 (131,072) clock cycles, while if CCR3 is 1, it waits only 64 clock cycles. The latter is called QUICK RECOVERY mode. The same delay applies to granting the bus to an



external master during STANDBY mode, when the BREXT bit in the CPU Control Register (CCR5) is 1.

As described previously for SLEEP and IDLE modes, when a Z80180/Z8S180/Z8L180 leaves STANDBY mode due to NMI Low, or when it leaves STANDBY mode due to an enabled INTO-2 low when the IEF, flag is 1 due to an IE instruction, it starts by performing the interrupt with the return address being that of the instruction following the SLP instruction. If the Z80180/Z8S180/Z8L180 leaves STANDBY mode due to an external interrupt request that's enabled in the INT/TRAP Control Register, but the IEF, bit is 0 due to a DI instruction, the processor restarts by executing the instruction(s) following the SLP instruction. If INT0, or INT1 or 2 goes inactive before the end of the clock stabilization delay, the Z80180/Z8S180/Z8L180 stays in STANDBY mode.

Figure 17 shows the timing for leaving STANDBY mode due to an interrupt request. Note that the Z80180/Z8S180/Z8L180 takes either 64 or 217 (131,072) clocks to restart, depending on the CCR3 bit.

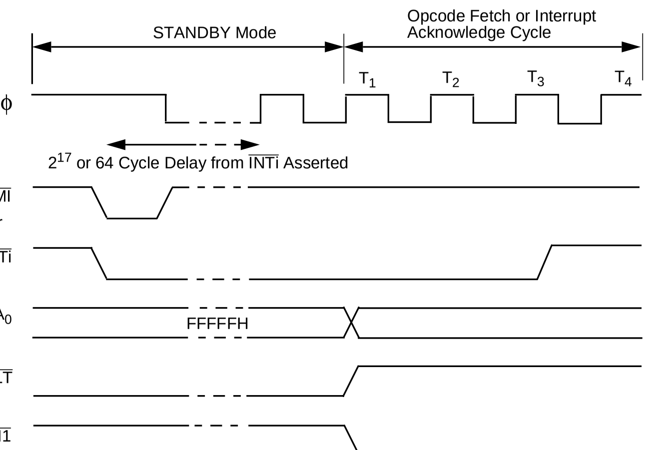


Figure 17. Z80180/Z8S180/Z8L180 STANDBY Mode Exit due to External Interrupt

While the Z80180/Z8S180/Z8L180 is in STANDBY mode, it will grant the bus to an external master if the BREXT bit (CCR5) is 1. Figure 18 shows the timing of this sequence. Note that the part takes 64 or 217 (131,072) clock cycles to grant the bus depending on the CCR3 bit.

The latter (non-Quick-Recovery) case may be prohibitive for many “demand driven” external masters. If so, QUICK RECOVERY or IDLE mode can be used.

CPU CONTROL REGISTER

CPU Control Register (CCR). This register controls the basic clock rate, certain aspects of Power-Down modes, and output drive/low noise options (Figure 31).

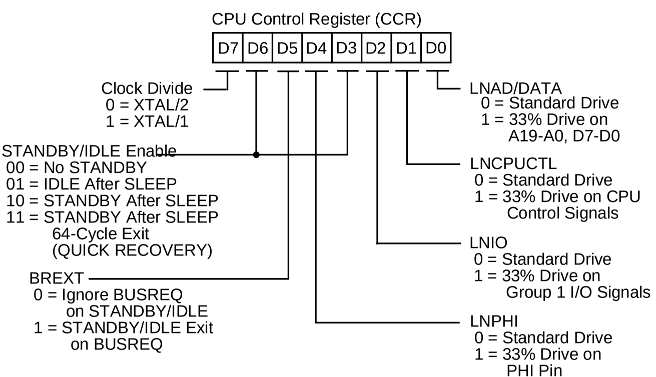


Figure 31. CPU Control Register (CCR) Address 1FH

Bit 7. Clock Divide Select. If this bit is 0, as it is after a Reset, the Z80180/Z8S180/Z8L180 divides the frequency on the XTAL pin(s) by two to obtain its master clock PHI. If this bit is programmed as 1, the part uses the XTAL frequency as PHI without division.

If an external oscillator is used in divide-by-one mode, the minimum pulse width requirement given in the AC Characteristics must be satisfied.

Bits 6 and 3. STANDBY/IDLE Control. When these bits are both 0, a SLP instruction makes the Z80180/Z8S180/Z8L180 enter SLEEP or SYSTEM STOP mode, depending on the IOSTOP bit (ICR5).

When D6 is 0 and D3 is 1, setting the IOSTOP bit (ICR5) and executing a SLP instruction puts the Z80180/Z8S180/Z8L180 into IDLE mode in which the on-chip oscillator runs, but its output is blocked from the rest of the part, including PHI out.

When D6 is 1 and D3 is 0, setting IOSTOP (ICR5) and executing a SLP instruction puts the part into STANDBY mode, in which the on-chip oscillator is stopped and the part allows 217 (128K) clock cycles for the oscillator to stabilize when it's restarted.

When D6 and D3 are both 1, setting IOSTOP (ICR5) and executing a SLP instruction puts the part into QUICK RECOVERY STANDBY mode, in which the on-chip oscillator is stopped, and the part allows only 64 clock cycles for the oscillator to stabilize when it's restarted.

The latter section, HALT and LoW POWER Modes, describes the subject more fully.

Bit 5 BREXT. This bit controls the ability of the Z8S180/Z8L180 to honor a bus request during STANDBY mode. If this bit is set to 1 and the part is in STANDBY mode, a BUSREQ is honored after the clock stabilization timer is timed out.

Bit 4 LNPHI. This bit controls the drive capability on the PHI Clock output. If this bit is set to 1, the PHI Clock output will be reduced to 33 percent of its drive capability.

Bit 2 LNIO. This bit controls the drive capability of certain external I/O pins of the Z8S180/Z8L180. When this bit is set to 1, the output drive capability of the following pins is reduced to 33percent of the original drive capability:

– /RTSO/TxS
– CKA1
– CKAO
– TXAO
– TXAI
– TOUT

Bit 1 LNCPUCTL. This bit controls the drive capability of the CPU Control pins. When this bit is set to 1, the output drive capability of the following pins is reduced to 33percent the original drive capability:

– /BUSACK
– /RD
– /WR
– /M1
– /MREQ
– /IORQ
– /RFSH
– /HALT

Bit 0 LNAD/DATA. This bit controls the drive capability of the Address/Data bus output drivers. If this bit is set to 1, the output drive capability of the Address and Data bus output is reduced to 33percent of its original drive capability.

Clocked Serial I/O (CSI/O). The CSIO channel provides a half-duplex serial transmitter and receiver. This channel can be used for simple high-speed data connection to another microprocessor or microcomputer**.** TRDR is used for both CSI/O transmission and reception. Thus, the system design must ensure that the constraints of half-duplex operation are met (Transmit and Receive operation cannot occur simultaneously). For example, if a CSI/O transmission is attempted while the CSI/O is receiving data, a CSI/O will not work. Also note that TRDR is not buffered. Therefore, attempting to perform a CSI/O transmit while the previous transmit data is still being shifted out causes the shift data to be immediately updated, thereby corrupting the transmit operation in progress. Similarly, reading TRDR while a transmit or receive is in progress should be avoided.

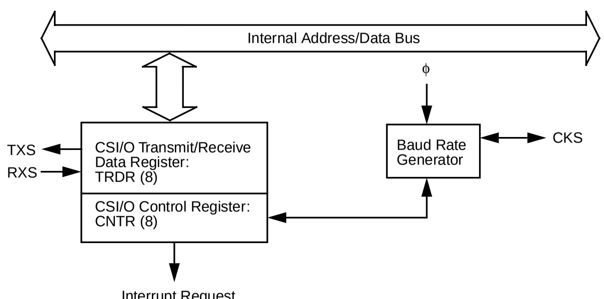


Figure 7. CSIO Block Diagram

OPERATION MODES

Z80® versus 64180 Compatibility. The Z80180/Z8S180/Z8L180 is descended from two different "ancestor" processors, Zilog's original Z80 and the Hitachi 64180. The Operating Mode Control Register (OMCR), shown in Figure 8, can be programmed to select between certain Z80 and 64180differences.

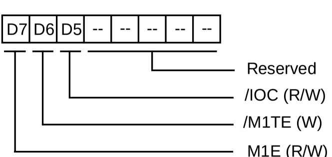


Figure 8. Operating Control Register
(OMCR: I/O Address = 3EH)

M1E (M1 Enable). This bit controls the M1 output and is set to a 1 during reset.

When M1E=1, the M1 output is asserted Low during the opcode fetch cycle, the INT0 acknowledge cycle, and the first machine cycle of the NMI acknowledge.

On the Z80180/Z8S180/Z8L180, this choice makes the processor fetch an RETI instruction once, and when fetching an RETI from zero-wait-state memory will use three clock machine cycles, which are not fully Z80-timing compatible but are compatible with the on-chip CTCs.

When M1E=0, the processor does not drive M1 Low during instruction fetch cycles, and after fetching an RETI instruction once with normal timing, it goes back and re-fetches the instruction using fully Z80-compatible cycles that include driving M1 Low. This may be needed by some external Z80 peripherals to properly decode the RETI instruction. Figure 9 and Table 4 show the RETI sequence when M1E=0.

IASCI REGISTER DESCRIPTION

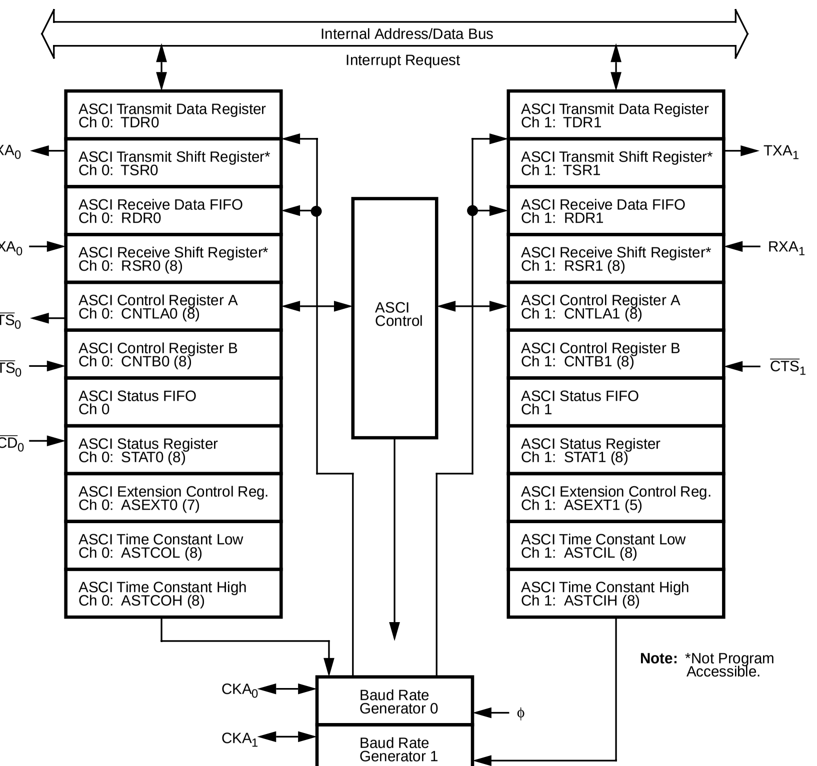


Figure 32. ASCI Block Diagram

The following paragraphs explain the various functions of the ASCI registers.

ASCI Transmit Register 0. When the ASCI Transmit Register receives data from the ASCI Transmit Data Register (TDR), the data is shifted out to the TxA pin. When transmission is completed, the next byte (if available) is automatically loaded from TDR into TSR and the next transmission starts. If no data is available for transmission, TSR IDLEs by outputting a continuous High level. This register is not program accessible

ASCI Transmit Data Register 0,1 (TDR0, 1: I/O address = 06H, 07H). Data written to the ASCI Transmit Data Register is transferred to the TSR as soon as TSR is empty. Data can be written while TSR is shifting out the previous byte of data. Thus, the ASCI transmitter is double buffered.

Data can be written into and read from the ASCI Transmit Data Register. If data is read from the ASCI Transmit Data Register, the ASCI data transmit operation will not be af fected by this read operation

ASCI Receive Shift Register 0,1 (RSR0,1). This registe receives data shifted in on the RxA pin. When full, data i automatically transferred to the ASCI Receive Data Regis ter (RDR) if it is empty. If RSR is not empty when the nex incoming data byte is shifted in, an overrun error occurs This register is not program accessible.

ASCI Receive Data FIFO 0,1 (RDR0, 1:I/O Address = 08H 09H). The ASCI Receive Data Register is a read-only reg ister. When a complete incoming data byte is assemble in RSR, it is automatically transferred to the 4 characte Receive Data First-In First-Out (FIFO) memory. The oldes character in the FIFO (if any) can be read from the Receiv Data Register (RDR). The next incoming data byte can b shifted into RSR while the FIFO is full. Thus, the ASCI re ceiver is well buffered.

ASCI STATUS FIFO

This 4 entry FIFO contains Parity Error, Framing Error, Rx Overrun, and Break status bits associated with each character in the receive data FIFO. The status of the oldest character (if any) can be read from the ASCI status registers as described below

ASCI CHANNEL CONTROL REGISTER A

ASCI Control Register A 0 (CNTLA0: I/O Address = 00H)

Bit	7	6	5	4	3	2	1	0
	MPE	RE	TE	$\overline{RTS0}$	MPBR/ EFR	MOD2	MOD1	MOD0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ASCI Control Register A 1 (CNTLA1: I/O Address = 01H)

Bit	7	6	5	4	3	2	1	0
	MPE	RE	TE	CKA1D	MPBR/ EFR	MOD2	MOD1	MOD0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Figure 33. ASCI Channel Control Register A

MPE: Multi-Processor Mode Enable (bit 7). The ASCI has a multiprocessor communication mode that utilizes an extra data bit for selective communication when a number of processors share a common serial bus. Multiprocessor data format is selected when the MP bit in CNTLB is set to 1. If multiprocessor mode is not selected (MP bit in CNTLB = 0), MPE has no effect. If multiprocessor mode is selected, MPE enables or disables the "wake-up" feature as follows. If MBE is set to 1, only received bytes in which the MPB (multiprocessor bit) = 1 can affect the RDRF and error flags. Effectively, other bytes (with MPB = 0) are "ignored" by the ASCI. If MPE is reset to 0, all bytes, regardless of the state of the MPB data bit, affect the REDR and error flags. MPE is cleared to 0 during RESET.

RE: Receiver Enable (bit 6). When RE is set to 1, the ASCI transmitter is enabled. When TE is reset to 0, the transmitter is disables and any transmit operation in progress is interrupted. However, the TDRE flag is not reset and the previous contents of TDRE are held. TE is cleared to 0 in IOSTOP mode during RESET.

TE: Transmitter Enable (bit 5). When TE is set to 1, the ASCI receiver is enabled. When TE is reset to 0, the transmitter is disabled and any transmit operation in progress is interrupted. However, the TDRE flag is not reset and the previous contents of TDRE are held. TE is cleared to 0 in IOSTOP mode during RESET.

$\overline{RTS0}$: Request to Send Channel 0 (bit 4 in CNTLA0 only). If bit 4 of the System Configuration Register is 0, the $\overline{RTS0}$/TxS pin has the $\overline{RTS0}$ function. $\overline{RTS0}$ allows the ASCI to control (start/stop) another communication devices transmission (for example, by connecting to that device's $\overline{CTS}$ input). $\overline{RTS0}$ is essentially a 1 bit output port having no side effects on other ASCI registers or flags.

Bit 4 in CNTLA1 is used.

CKA1D = 1, CKA1/$\overline{TEND_0}$ pin = $\overline{TEND_0}$

CKA1D = 0, CKA1/$\overline{TEND_0}$ pin = CKA1

Cleared to 0 on reset.

MPBR/EFR: Multiprocessor Bit Receive/Error Flag Reset (bit 3). When multiprocessor mode is enabled (MP in CNTLB = 1), MPBR, when read, contains the value of the MPB bit for the last receive operation. When written to 0, the EFR function is selected to reset all error flags (OVRN, FE, PE and BRK in the ASEXT Register) to 0. MPBR/EFR is undefined during RESET.

MOD2, 1, 0: ASCI Data Format Mode 2, 1, 0 (bits 2-0). These bits program the ASCI data format as follows.

MOD2
= 0→7 bit data
= 1→8 bit data

MOD1
= 0→No parity
= 1→Parity enabled

MOD0
= 0→1 stop bit
= 1→2 stop bits

The data formats available based on all combinations of MOD2, MOD1, and MOD0 are shown in Table 5-6.

Table 5. Data Formats

MOD2	MOD1	MOD0	Data Format
0	0	0	Start + 7 bit data + 1 stop
0	0	1	Start + 7 bit data + 2 stop
0	1	0	Start + 7 bit data + parity + 1 stop
0	1	1	Start + 7 bit data + parity + 2 stop
1	0	0	Start + 8 bit data + 1 stop
1	0	1	Start + 8 bit data + 2 stop
1	1	0	Start + 8 bit data + parity + 1 stop
1	1	1	Start + 8 bit data + parity + 2 stop

ASCI CHANNEL CONTROL REGISTER B

ASCI Control Register B 0 (CNTLB0: I/O Address = 02H)
ASCI Control Register B 1 (CNTLB1: I/O Address = 03H)

Bit	7	6	5	4	3	2	1	0
	MPBT	MP	$\overline{CTS}$/ PS	PEO	DR	SS2	SS1	SS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Figure 34. ASCI Channel Control Register B

MPBT: Multiprocessor Bit Transmit (bit 7). When multiprocessor communication format is selected (MP bit = 1), MPBT is used to specify the MPB data bit for transmission. If MPBT = 1, then MPB = 1 is transmitted. If MPBT = 0, then MPB = 0 is transmitted. MPBT state is undefined during and after RESET.

MP: Multiprocessor Mode (bit 6). When MP is set to 1, the data format is configured for multiprocessor mode based on the MOD2 (number of data bits) and MOD0 (number of stop bits) bits in CNTLA. The format is as follows.

Start bit + 7 or 8 data bits + MPB bit + 1 or 2 stop bits

Note that multiprocessor (MP=1) format has no provision for parity. If MP = 0, the data format is based on MOD0, MOD1, MOD2, and may include parity. The MP bit is cleared to 0 during RESET.

$\overline{CTS}$/PS: Clear to Send/Prescale (bit 5). When read, /CTS/PS reflects the state of the external /CTS input. If the /CTS input pin is HIGH, /CTS/PS will be read as 1. Note that when the /CTS input pin is HIGH, the TDRE bit is inhibited (i.e. held at 0). For channel 1, the /CTS input is multiplexed with RXS pin (Clocked Serial Receive Data). Thus, /CTS/PS is only valid when read if the channel 1 CTS1E bit = 1 and the /CTS input pin function is selected. The read data of /CTS/PS is not affected by RESET.

If the SS2-0 bits in this register are not 111, and the BRG mode bit in the ASEXT register is 0, then writing to this bit sets the prescale (PS) control as described in the following "Clock Modes" section. Under those circumstances, a 0 indicates a divide by 10 prescale function while a 1 indicates divide by 30. The bit resets to 0.

PEO: Parity Even Odd (bit 4). PEO selects oven or odd parity. PEO does not affect the enabling/disabling of parity (MOD1 bit of CNTLA). If PEO is cleared to 0, even parity is selected. If PEO is set to 1, odd parity is selected. PEO is cleared to 0 during RESET.

DR: Divide Ratio (bit 3). If the X1 bit in the ASEXT register is 0, this bit specifies the divider used to obtain baud rate from the data sampling clock. If DR is reset to 0, divide- by-16 is used, while if DR is set to 1 divide-by-64 is used. DR is cleared to 0 during RESET.

SS2,1,0: Source/Speed Select 2,1,0 (bits 2-0). First, if these bits are 111, as they are after a Reset, the CKA pin



is used as a clock input, and is divided by 1, 16, or 64 depending on the DR bit and the X1 bit in the ASEXT register.

If these bits are not 111 and the BRG mode bit is ASEXT is 0, then these bits specify a power-of-two divider for the PHI clock as shown in Table 9.

Setting or leaving these bits as 111 makes sense for a channel only when its CKA pin is selected for the CKA function. CKAO/CKS has the CKAO function when bit 4 of the System Configuration Register is 0. $\overline{DCD0}$/CKA1 has the CKA1 function when bit 0 of the Interrupt Edge registe is 1.

Table 6. Divide Ratio

SS2	SS1	SS0	Divide Ratio
0	0	0	÷1
0	0	1	÷2
0	1	0	÷4
0	1	1	÷8
1	0	0	÷16
1	0	1	÷32
1	1	0	÷64
1	1	1	External Clock

ASCI STATUS REGISTER 0, 1 (STAT0, 1)

Each channel status register allows interrogation of ASCI communication, error and modem control signal status, and enabling or disabling of ASCI interrupts.

ASCI Status Register 0 (STAT0: I/O Address = 04H)

Bit	7	6	5	4	3	2	1	0
	RDRF	OVRN	PE	FE	RE	$\overline{DCD}_0$	TDRE	TIE
	R	R	R	R	R/W	R	R	R/W

ASCI Status Register 1 (STAT1: I/O Address = 05H)

Bit	7	6	5	4	3	2	1	0
	RDRF	OVRN	PE	FE	RE	CTSIE	TDRE	TIE
	R	R	R	R	R/W	R/W	R	R/W

Figure 35. ASCI Status Registers

RDRF: Receive Data Register Full (bit 7). RDRF is set to 1 when an incoming data byte is loaded into an empty Rx FIFO. Note that if a framing or parity error occurs, RDRF is still set and the receive data (which generated the error) is still loaded into the FIFO. RDRF is cleared to 0 by reading RDR and last character in the FIFO from IOSTOP mode, during RESET and for ASCI0 if the /DCD0 input is auto-enabled and is negated (High).

OVRN: Overrun Error (bit 6). An overrun condition occurs if the receiver has finished assembling a character but the Rx FIFO is full so there is no room for the character. However, this status bit is not set until the last character received before the overrun becomes the oldest byte in the FIFO. This bit is cleared when software writes a 1 to the EFR bit in the CNTLA register, and also by Reset, in IOSTOP mode, and for ASCI0 if the /DCD0 pin is auto enabled and is negated (High).

Note that when an overrun occurs, the receiver does no place the character in the shift register into the FIFO, no any subsequent characters, until the last good characte has come to the top of the FIFO so that OVRN is set, and software then writes a 1 to EFR to clear it.

PE: Parity Error (bit 5). A parity error is detected when parity checking is enabled by the MOD1 bit in the CNT1LA register being 1, and a character has been assembled in which the parity does not match the PEO bit in the CNTLB register. However, this status bit is not set until/unless the error character becomes the oldest one in the RxFIFO. PE is cleared when software writes a 1 to the EFR bit in the CNTRLA register, and also by Reset, in IOSTOP mode, and for ASCI0 if the /DCD0 pin is auto-enabled and is negated (High).

FE: Framing Error (bit 4). A framing error is detected when the stop bit of a character is sampled as 0/Space. However, this status bit is not set until/unless the error character becomes the oldest one in the RxFIFO. FE is cleared when software writes a 1 to the EFR bit in the CNTLA register, and also by Reset, in IOSTOP mode, and for ASCIO if the /DCDO pin is auto-enabled and is negated (High).

REI: Receive Interrupt Enable (bit 3). RIE should be set to 1 to enable ASCI receive interrupt requests. When RIE is 1, the Receiver requests an interrupt when a character is received and RDRF is set, but only if neither DMA channel has its Request-routing field set to receive data from this ASCI. That is, if SM1-0 are 11 and SAR17-16 are 10, or DIM1 is 1 and IAR17-16 are 10, then ASCI1 doesn't request an interrupt for RDRF. If RIE is 1, either ASCI requests an interrupt when OVRN, PE or FE is set, and ASCI0 requests an interrupt when /DCD0 goes High. RIE is cleared to 0 by Reset.

$\overline{DCD0}$: Data Carrier Detect (bit 2 STAT0). This bit is se to 1 when the pin is High. It is cleared to 0 on the first rea of STAT0 following the pin's transition from High to Lov and during RESET. Bit 6 of the ASEXT0 register is 0 to se lect auto-enabling, and the pin is negated (High). Channe 1 has an external $\overline{CTS1}$ input which is multiplexed with th receive data pin RSX for the CSI/O.

Bit 2 = 0; Select RXS function.

Bit 2 = 1; Select $\overline{CTS1}$ function.

TDRE: Transmit Data Register Empty (bit 1). TDRE = 1 indicates that the TDR is empty and the next transmit data byte is written to TDR. After the byte is written to TDR TDRE is cleared to 0 until the ASCI transfers the byte fron TDR to the TSR and then TDRE is again set to 1. TDRE is set to 1 in IOSTOP mode and during RESET. On ASCI0 if the $\overline{CTS0}$ pin is auto-enabled in the ASEXT0 register and the pin is High, TDRE is reset to 0.

TIE: Transmit Interrupt Enable (bit 0). TIE should be se to 1 to enable ASCI transmit interrupt requests. If TIE = 1 an interrupt will be requested when TDRE = 1. TIE is cleared to 0 during RESET.

ASCI TRANSMIT DATA REGISTERS

Register addresses 06H and 07H hold the ASCI transmit data for channel 0 and channel 1, respectively.

Channel 0

Mnemonics TDR0

Address (06H)

7	6	5	4	3	2	1	0
--	--	--	--	--	--	--	--

ASCI Transmit Channel 0

Figure 36. ASCI Register

Channel 1

Mnemonics TDR1

Address (07H)

7	6	5	4	3	2	1	0
--	--	--	--	--	--	--	--

ASCI Transmit Channel 1

Figure 37. ASCI Register

ASCI Receive Register

Register addresses 08H and 09H hold the ASCI receive data for channel 0 and channel 1, respectively.

Channel 0

Mnemonics TSR0 --

Address (08H)

7	6	5	4	3	2	1	0
--	--	--	--	--	--	--	--

ASCI Transmit Data

Figure 38. ASCI Receive Register Channel 0

Channel 1--

Mnemonics TSR1

Address (09H)

7	6	5	4	3	2	1	0
--	--	--	--	--	--	--	--

ASCI Transmit Data

Figure 39. ASCI Receive Register Channel 1R

CSI/O CONTROL/STATUS REGISTER

(CNTR: I/O Address = 0AH). CNTR is used to monitor CSI/O status, enable and disable the CSI/O, enable and disable interrupt generation, and select the data clock speed and source.

Bit	7	6	5	4	3	2	1	0
	EF	EIE	RE	TE	—	SS2	SS1	SS0
	R	R/W	R/W	R/W		R/W	R/W	R/W

Figure 40. CSI/O Control Register

EF: End Flag (bit 7). EF is set to 1 by the CSI/O to indicate completion of an 8-bit data transmit or receive operation. If EIE (End Interrupt Enable) bit = 1 when EF is set to 1, a CPU interrupt request is generated. Program access of TRDR only occurs if EF = 1. The CSI/O clears EF to 0 when TRDR is read or written. EF is cleared to 0 during RESET and IOSTOP mode.

EIE: End Interrupt Enable (bit 6). EIE is set to 1 to generate a CPU interrupt request. The interrupt request is inhibited if EIE is reset to 0. EIE is cleared to 0 during RESET.

RE: Receive Enable (bit 5). A CSI/O receive operation is started by setting RE to 1. When RE is set to 1, the data clock is enabled. In internal clock mode, the data clock is output from the CKS pin. In external clock mode, the clock is input on the CKS pin. In either case, data is shifted in on the RXS pin in synchronization with the (internal or external) data clock. After receiving 8 bits of data, the CSI/O automatically clears RE to 0, EF is set to 1, and an interrupt (if enabled by EIE = 1) is generated. RE and TE are never both set to 1 at the same time. RE is cleared to 0 during RESET and ISTOP mode.

Transmit Enable (bit 4). A CSI/O transmit operation is started by setting TE to 1. When TE is set to 1, the data clock is enabled. When in internal clock mode, the data clock is output from the CKS pin. In external clock mode, the clock is input on the CKS pin. In either case, data is shifted out on the TXS pin synchronous with the (internal or external) data clock. After transmitting 8 bits of data, the CSI/O automatically clears TE to 0, EF is set to 1, and an interrupt (if enabled by EIE = 1) is generated. TE and RE are never both set to 1 at the same time. TE is cleared to 0 during RESET and IOSTOP mode.

SS2, 1, 0: Speed Select 2, 1, 0 (bits 2-0). SS2, SS1 and SS0 select the CSI/O transmit/receive clock source and speed. SS2, SS1 and SS0 are all set to 1 during RESET. Table 10 shows CSI/O Baud Rate Selection.

Table 7. CSI/O Baud Rate Selection

SS2	SS1	SS0	Divide Ratio
0	0	0	÷20
0	0	1	÷40
0	1	0	÷80
0	1	1	÷160
1	0	0	÷320
1	0	1	÷640
1	1	0	÷1280
1	1	1	External Clock Input (less than ÷20.)

After RESET, the CKS pin is configured as an external clock input (SS2, SS1, SS0 = 1). Changing these values causes CKS to become an output pin and the selected clock is output when transmit or receive operations are enabled.

CSI/O Transmit/Receive Data Register

(TRDR: I/O Address = 0BH).

7	6	5	4	3	2	1	0
--	--	--	--	--	--	--	--

CSI/O T/R Data

Figure 41. CSI/O Transmit/Receive Data Register 1R

Timer Reload Register 0L

RLDR0L

Timer Data Register Channel 0L

TMDR0L

0CH

7	6	5	4	3	2	1	0
--	--	--	--	--	--	--	--

ASCI Receive Data

Figure 42. Timer Register Channel OL

Timer Data Register Channel 0H

TMDR0H

0D H

7	6	5	4	3	2	1	0
--	--	--	--	--	--	--	--

Timer Data

Figure 43. Timer Data Register Channel OH



0E H

7	6	5	4	3	2	1	0
--	--	--	--	--	--	--	--

Timer Reload Data

Figure 44. Timer Reload Register Low

Timer Reload Register 0H

RLDR0H

0F H

7	6	5	4	3	2	1	0
--	--	--	--	--	--	--	--

Timer Reload Data

Figure 45. Timer Reload Register Channel

TIMER CONTROL REGISTER (TCR)

TCR monitors both channels (PRT0, PRT1) TMDR status. It also controls enabling and disabling of down counting and interrupts along with controlling output pin A18/TOU for PRT1.

Bit	7	6	5	4	3	2	1	0
	TIF1	TIF0	TIE1	TIE0	TOC1	TOC0	TDE1	TDE0
	R	R	R/W	R/W	R/W	R/W	R/W	R/W

Figure 46. Timer Control Register (TCR: I/O Address = 10H)

TIF1: Timer Interrupt Flag 1 (bit 7). When TMDR1 decrements to 0, TIF1 is set to 1. This generates an interrupt request if enabled by TIE1 = 1. TIF1 is reset to 0 when TCR is read and the higher or lower byte of TMDR1 is read. During RESET, TIF1 is cleared to 0.

TIF0: Timer Interrupt Flag 0 (bit 6). When TMDR0 decrements to 0, TIF0 is set to 1. This generates an interrupt request if enabled by TIE0 = 1. TIF0 is reset to 0 when TCR is read and the higher or lower byte of TMDR0 is read. During RESET, TIF0 is cleared to 0.

TIE1: Timer Interrupt Enable 1 (bit 5). When TIE0 is set to 1, TIF1 = 1 generates a CPU interrupt request. When TIE0 is reset to 0, the interrupt request is inhibited. During RESET, TIE0 is cleared to 0.

TOC1, 0: Timer Output Control (bits 3, 2). TOC1 an TOC0 control the output of PRT1 using the multiplexe TOUT/DREQ pin as shown in Table 11. During RESET TOC1 and TOC0 are cleared to 0. If bit 3 of the IAR1B reg ister is 1, the TOUT function is selected. By programmin TOC1 and TOC0, the TOUT/DREQ pin can be force High, Low, or toggled when TMDR1 decrements to 0.

Table 8. Timer Output Control

TOC1	TOC0	Output	
0	0	Inhibited	The TOUT/DREQ pin is not affected by the PRT.
0	1	Toggled	If bit 3 of IAR1B is 1, the TOUT/DREQ pin is toggles or set Low or High as indicated.
1	0	0	
1	1	1	

TDE1, 0: Timer Down Count Enable (bits 1, 0). TDE1 and TDE0 enable and disable down counting for TMDR1 and TMDR0, respectively. When TDEn (n = 0, 1) is set to 1, down counting is stopped and TMDRn is freely read o written. TDE1 and TDE0 are cleared to 0 during RESE and TMDRn will not decrement until TDEn is set to 1.

ASCI EXTENSION CONTROL REGISTER CHANNEL 0 (ASEXT0) AND CHANNEL 1 (ASEXT1)

Note: This register controls functions that have been added to the ASCIs in the Z80180/Z8S180/Z8L180 family.
Note: All bits in this register reset to zero.

ASCI Extension Control Register 0(ASEXT0 I/O Address = 12H)

Bit	7	6	5	4	3	2	1	0
	Reserved	DCDO	CTSO	XI	BRGO Mode	Break Nab	Break	Send Break

ASCI Extension Control Register 1 (ASEXT1 I/O Address = 13H)

Bit	7	6	5	4	3	2	1	0
	Reserved	Reserved	Reserved	XI	BRGI Mode	Break Enab	Break	Send Break

Figure 47. ASCI Extension Control Registers, Channel 0 and 1

DCD0 dis (bit 6, ASCI0 only). If this bit is 0, then the DCD0 pin "auto-enables" the ASCI0 receiver, such that when the pin is negated/High, the Receiver is held in a RESET state. The state of the DCD-pin has no effect on receiver operation. In either state of this bit, software can read the state of the DCD0 pin in the STAT0 register, and the receiver will interrupt on a rising edge of DCD0.

CTS0 dis (bit 5, ASCI0 only). If this bit is 0, then the CTS0 pin "auto-enables" the ASCIO transmitter, in that when the pin is negated/high, the TDRE bit in the STAT0 register is forced to 0. If this bit is 1, the state of the CTS0 pin has no effect on the transmitter. Regardless of the state of this bit, software can read the state of the CTS0 pin the CNTLB0 register.

X1 (bit 4). If this bit is 1, the clock from the Baud Rate Generator or CKA pin is taken as a "1X" bit clock (this is sometimes called "isochronous" mode). In this mode, receive data on the RXA pin must be synchronized to the clock on the CKA pin, regardless of whether CKA is an input or an output. If this bit is 0, the clock from the Baud Rate Generator or CKA pin is divided by 16 or 64 per the DR bit in CNTLB register, to obtain the actual bit rate. In this mode, receive data on the RxA pin need not be synchronized to a clock.

BRG Mode (bit 3). If the SS2-0 bits in the CNTLB register are not 111, and this bit is 0, this ASCI's Baud Rate Generator divides PHI by 10 or 30, depending on the DR bit in CNTLB, and then by a power of two selected by the SS2-0 bits, to obtain the clock that is presented to the transmit ter and receiver and that can be output on the CKA pin. I SS2-0 are not 111, and this bit is 1, the Baud Rate Gener ator divides PHI by twice (the 16-bit value programme into the Time Constant Registers, plus two). This mode i identical to the operation of the baud rate generator in th ESCC.

Break Enable (bit 2). If this bit is 1, the receiver will detec Break conditions and report them in bit 1, and the transmit ter will send Breaks under the control of bit 0.

Break Detect (bit 1). The receiver sets this read-only b to 1 when an all-zero character with a Framing Error be comes the oldest character in the Rx FIFO. The bit i cleared when software writes a 0 to the EFR bit in CNTL register, also by Reset, by IOSTOP mode, and for ASCI if the DCD0 pin is auto-enabled and is negated (high).

Send Break (bit 0). If this bit and bit 2 are both 1, the trans mitter holds the TXA pin low to send a Bread condition The duration of the Bread is under software control (one o the PRTs or CTCs can be used to time it). This bit reset to 0, in which state TXA carries the serial output of th transmitter.

Timer Data Register Channel 1L

Mnemonic TMDR1L

Address 14

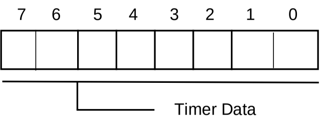


Figure 48. Timer Data Register 1L

Timer Data Register Channel 1H

Mnemonic TMDR1H

Address 15

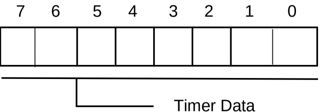


Figure 49. Timer Data Register 1H

Timer Reload Register Channel 1L

Mnemonic RLDR1L

Address 16

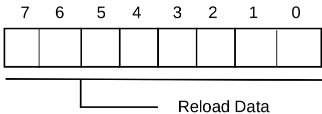


Figure 50. Timer Reload Channel 1L

Timer Reload Register Channel 1L

Mnemonic RLDR1H

Address 17

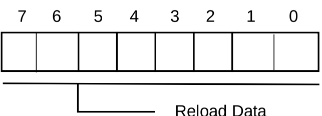


Figure 51. Timer Relaod Register Channel 1L

Free Running Counter (Read Only)

Mnemonic FRC

Address 18

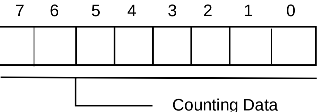
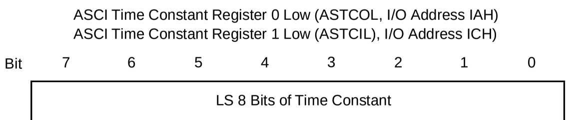


Figure 52. Free Running Counter

ASCI TIME CONSTANT REGISTERS

If the SS2-0 bits of the CNTLA register are not 111, and the BRG Mode bit in the ASEXT register is 1, the ASCI divides the PHI clock by twice (the 16-bit value in these registers, plus two), to obtain the clock that is presented to the transmitter and receiver for division by 1, 16, or 64 and that can be output on the CKA1 pin.



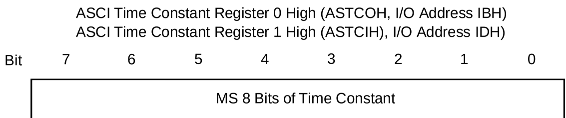


Figure 53. ASCI Time Constant Registers

CLOCK MULTIPLIER REGISTER (Z180 MPU ADDRESS 1EH)

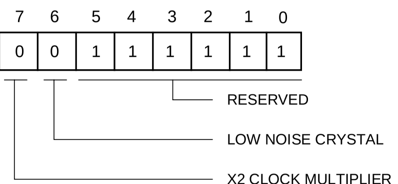


Figure 54. Clock Multiplier Register

Bit 7. X2 Clock Multiplier Mode. When this bit is set to 1, this allows the programmer to double the internal clock from that of the external clock. This feature will only operated effectively with frequencies of 10-16 MHz (20-32MHz internal). When this bit is set to 0, the Z80180/Z8S180/Z8L180 device will operate in normal mode. Upon powerup, this feature is disabled.

Bit 6. Low Noise Crystal Option. Setting this bit to 1 will enable the low noise option for the EXTAL and XTAL pins. This option reduces the gain, in addition to reduction the output drive capability to 30% of its original drive capability. The Low Noise Crystal Option is recommended in the use of crystals for PCMCIA applications where the crystal may be driven too hard by the oscillator. Setting this bit to 0 will select for normal operation of the EXTAL and XTAL pins. The default for this bit is 0.

Note: Operating restrictions for device operation are listed below. If low noise option is required, and normal device operation is needed, use the clock multiplier feature.

Table 9. Low Noise Option

Low Noise ADDR 1E, bit 6=1	Normal ADDR 1E, bit 6=0
20 MHz @ 4.5V, 100°C	33 MHz @ 4.5V, 100°C
10 MHz @ 3.0V, 100°C	20 MHz @ 3.0V, 100°C

DMA SOURCE ADDRESS REGISTER CHANNEL 0

(SAR0: I/O Address = 20H to 22H) specifies the physical source address for channel 0 transfers. The register contain: 20 bits and can specify up to 1024 KB memory addresses or up to 64 KB I/O addresses. Channel 0 source can be mem ory, I/O, or memory mapped I/O. For I/O, the MS bits of this register identify the Request Handshake signal.

DMA Source Address Register, Channel 0L

Mnemonic SAR0L

Address 20

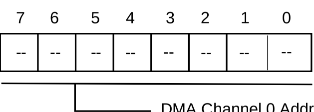


Figure 55. DMA Source Address Register 0L

DMA Source Address Register, Channel 0H

Mnemonic SAR0H

Address 21

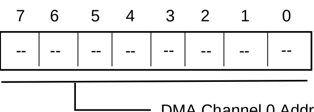


Figure 56. DMA Source Address Register 0H

DMA Source Address Register Channel 0B

Mnemonics SAR0B

Address 22

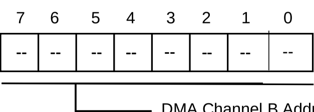


Figure 57. DMA Source Address Register 0B

DMA DESTINATION ADDRESS REGISTER CHANNEL 0

(DAR0: I/O Address = 23H to 25H) specifies the physical destination address for channel 0 transfers. The register con tains 20 bits and can specify up to 1024 KB memory addresses or up to 64 KB I/O addresses. Channel 0 destination ca be memory, I/O, or memory mapped I/O. For I/O, the MS bits of this register identify the Request Handshake signal fo channel 0.

DMA Destination Address Register Channel 0L

Mnemonic DAR0L

Address 23

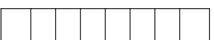


Figure 58. DMA Destination Address Register Channel 0L

DMA Destination Address Register Channel 0H

Mnemonic DAR0H

Address 24

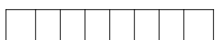


Figure 59. DMA Destination Address Register Channel 0H

DMA Destination Address Register Channel 0B

Mnemonic DAR0B

Address 25

Figure 60. DMA Destination Address Register Channel 0B

Note: In the R1 and Z Mask, these DMA registers ar expanded from 4 bit to 3 bits in the package version of CP 68

A19*	A18	A17	A16	DMA Transfer Request
X	X	0	0	DREQ0
X	X	0	1	TDR0 (ASCI0)
X	X	1	0	TDR1 (ASCI1)
X	X	1	1	Not Used

DMA BYTE COUNT REGISTER CHANNEL 0

(BCRO: I/O Address = 26H to 27H) specifies the number of bytes to be transferred. This register contains 16 bits and ma specify up to 64 KB transfers. When one byte is transferred, the register is decremented by one. If "n" bytes should b transferred, "n" must be stored before the DMA operation.

Note: All DMA Count Register channels are undefined during reset.

DMA Byte Count Register Channel 0L

Mnemonic BCR0L

Address 26

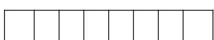


Figure 61. DMA Byte Count Register 0L

DMA Byte Count Register Channel 0H

Mnemonic BCR0H

Address 27

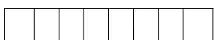


Figure 62. DMA Byte Count Register 0H

DMA Byte Count Register Channel 1L

Mnemonic BCR1L

Address 2E

Figure 63. DMA Byte Count Register 1L

DMA Byte Count Register Channel 0H

Mnemonic BCR1H

Address 2F

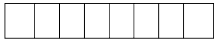


Figure 64. DMA Byte Count Register 0H

DMA MEMORY ADDRESS REGISTER CHANNEL 1

(MAR1: I/O Address = 28H to 2AH) specifies the physical memory address for channel 1 transfers. This may be destination or source memory address. The register contains 20 bits and may specify up to 1024 KB memory address.

DMA Memory Address Register, Channel 1L

Mnemonic MAR1L

Address 28



Figure 65. DMA Memory Address Register, Channel 1L

DMA Memory Address Register, Channel 1H.

Mnemonic MAR1H

Address 29

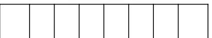


Figure 66. DMA Memory Address Register, Channel 1H

DMA Memory Address Register, Channel 1B

Mnemonic MAR1B

Address 2A



Figure 67. DMA Memory Address Register, Channel 1B

DMA I/O ADDRESS REGISTER CHANNEL 1

(IAR1: I/O Address = 2BH to 2DH) specifies the I/O address for channel 1 transfers. This may be destination or source I/O address. The register contains 16 bits of I/O address; its most significant byte identifies the Request Handshake signal and controls the Alternating Channel feature.

All bits in IAR1B reset to 0.

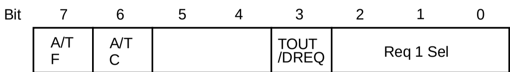


Figure 68. IAR MS Byte Register (IARIB: I/O Address 2DH)

DMA I/O Address Register Channel 1L

Mnemonic IAR1L

Address 2B



Figure 69. DMA I/O Address Register Channel 1L

DMA I/O Address Register Channel 1H

Mnemonic IAR1H

Address 2C



Figure 70. DMA I/O Address Register Channel 1H

DMA I/O Address Register Channel 1B

Mnemonic IAR1B

Address 2D



Figure 71. DMA I/O Address Register Channel 1B

DMA STATUS REGISTER (DSTAT)

DSTAT is used to enable and disable DMA transfer and DMA termination interrupts. DSTAT also indicates DMA transfer status, in other words, completed or in progress.

Mnemonic DSTAT

Address 30

Bit	7	6	5	4	3	2	1	0
	DE1	DE0	$\overline{DWE1}$	$\overline{DWE0}$	DIE1	DIE0	—	DME
	R/W	R/W	W	W	R/W	R/W		R

Figure 72. DMA Status Register (DSTAT: I/O Address = 30H)

DE1: DMA Enable Channel 1 (bit 7). When DE1 = 1 and DME = 1, channel 1 DMA is enabled. When a DMA transfer terminates (BCR1 = 0), DE1 is reset to 0 by the DMAC. When DE1 = 0 and the DMA interrupt is enabled (DIE1 = 1), a DMA interrupt request is made to the CPU.

To perform a software write to DE1, DWE1 should be written with 0 during the same register write access. Writing DE1 to 0 disables channel 1 DMA, but DMA is restartable. Writing DE1 to 1 enables channel 1 DMA and automatically sets DME (DMA Main Enable) to 1. DE1 is cleared to 0 during RESET.

DE0: DMA Enable Channel 0 (bit 6). When DE0 = 1 and DME = 1, channel 0 DMA is enabled. When a DMA transfer terminates (BCR0 = 0), DE0 is reset to 0 by the DMAC. When DE0 = 0 and the DMA interrupt is enabled (DIE0 = 1), a DMA interrupt request is made to the CPU.

To perform a software write to DE0, DWE0 should be written with 0 during the same register write access. Writing DE0 to 0 disables channel 0 DMA. Writing DE0 to 1 enables channel 0 DMA and automatically sets DME (DMA Main Enable) to 1. DE0 is cleared to 0 during RESET.

$\overline{DWE1}$: DE1 Bit Write Enable (bit 5). When performing any software write to DE1, DWE1 should be written with 0 during the same access. DWE1 always reads as 1.

$\overline{DWE0}$: DE0 Bit Write Enable (bit 4). When performing any software write to DE0, DWE0 should be written with 0 during the same access. DWE0 always reads as 1.

DIE1: DMA Interrupt Enable Channel 1 (bit 3). When DIE0 is set to 1, the termination channel 1 DMA transfer (indicated when DE1 = 0) causes a CPU interrupt request to be generated. When DIE0 = 0, the channel 0 DMA termination interrupt is disabled. DIE0 is cleared to 0 during RESET.

DIE0: DMA Interrupt Enable Channel 0 (bit 2). When DIE0 is set to 1, the termination channel 0 of DMA transfer (indicated when DE0=0) causes a CPU interrupt request to be generated. When DIE0=0, the channel 0 DMA termination interrupt is disabled. DIE0 is cleared to 0 during RESET.

DME: DMA Main Enable (bit 0). A DMA operation is only enabled when its DE bit (DE0 for channel 0, DE1 for channel 1) and the DME bit is set to 1.

When $\overline{NMI}$ occurs, DME is reset to 0, thus disabling DMA activity during the $\overline{NMI}$ interrupt service routine. To restart DMA, DE- and/or DE1 should be written with 1 (even if the contents are already 1). This automatically sets DME to 1 allowing DMA operations to continue. Note that DME cannot be directly written. It is cleared to 0 by $\overline{NMI}$ or indirectly set to 1 by setting DE0 and/or DE1 to 1. DME is cleared to 0 during RESET.

DMA MODE REGISTER (DMODE).

DMODE is used to set the addressing and transfer mode for channel 0.

Mnemonic DMODE

Address 31H

Bit	7	6	5	4	3	2	1	0
	—	—	DM1	DM0	SM1	SM0	MMOD	—
			R/W	R/W	R/W	R/W	R/W	

Figure 73. DMA Mode Register (DMODE: I/O Address = 31H)

DM1, DM0: Destination Mode Channel 0 (bits 5,4) specifies whether the destination for channel 0 transfers is memory or I/O, and whether the address should be incremented or decremented for each byte transferred. DM1 and DM0 are cleared to 0 during RESET.

Table 10. Channel 0 Destination

DM1	DM0	Memory I/O	Memory Increment/Decrement
0	0	Memory	+1
0	1	Memory	–1
1	0	Memory	fixed
1	1	I/O	fixed

SM1, SM0: Source Mode Channel 0 (bits 3, 2) specifies whether the source for channel 0 transfers is memory or I/O, and whether the address should be incremented or decremented for each byte transferred.

Table 11. Channel 0 Source

SM1	SM0	Memory I/O	Memory Increment/Decrement
0	0	Memory	+1
0	1	Memory	–1
1	0	Memory	fixed
1	1	I/O	fixed

Table 12 shows all DMA transfer mode combinations of DM0, DM1, SM0, and SM1. Since I/O to/from I/O transfers are not implemented, 12 combinations are available.

Table 12. Transfer Mode Combinations

DM1	DM0	SM1	SM0	Transfer Mode	Address Increment/Decrement
0	0	0	0	Memory→Memory	SAR0+1, DAR0+1
0	0	0	1	Memory→Memory	SAR0–1, DAR0+1
0	0	1	0	Memory*→Memory	SAR0 fixed, DAR0+1
0	0	1	1	I/O→Memory	SAR0 fixed, DAR0+1
0	1	0	0	Memory→Memory	SAR0+1, DAR0–1
0	1	0	1	Memory→Memory	SAR0–1, DAR0–1
0	1	1	0	Memory*→Memory	SAR0 fixed, DAR0–1
0	1	1	1	I/O→Memory	SAR0 fixed, DAR0–1
1	0	0	0	Memory→Memory*	SAR0+1, DAR0 fixed
1	0	0	1	Memory→Memory*	SAR0–1, DAR0 fixed
1	0	1	0	Reserved	
1	0	1	1	Reserved	
1	1	0	0	Memory→I/O	SAR0+1, DAR0 fixed
1	1	0	1	Memory I/O	SAR0–1, DAR0 fixed
1	1	1	0	Reserved	
1	1	1	0	Reserved	

Note: * Includes memory mapped I/O.

MMOD: Memory Mode Channel 0 (bit). When channel 0 is configured for memory to/from memory transfers there is no Request Handshake signal to control the transfer timing. Instead, two automatic transfer timing modes are selectable: burst (MMOD = 1) and cycle steal (MMOD = 0). For burst memory to/from memory transfers, the DMAC takes control of the bus continuously until the DMA transfer completes (as shown by the byte count register = 0). In cycle steal mode, the CPU is given a cycle for each DMA byte transfer cycle until the transfer is completed.

For channel 0 DMA with I/O source or destination, the selected Request signal times the transfer and thus MMOD is ignored. MMOD is cleared to 0 during RESET.

DMA/WAIT CONTROL REGISTER (DCNTL)

DCNTL controls the insertion of wait states into DMAC (and CPU) accesses of memory or I/O. Also, it defines the Request signal for each channel as level or edge sense.

DCNTL also sets the DMA transfer mode for channel 1 which is limited to memory to/from I/O transfers.

Bit	7	6	5	4	3	2	1	0
	MWI1	MWI0	IWI1	IWI0	DMS1	DMS0	DIM1	DIM0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Figure 74. DMA/WAIT Control Register (DCNTL: I/O Address = 32H)

MWI1, MWI0: Memory Wait Insertion (bits 7-6). Specifies the number of wait states introduced into CPU or DMAC memory access cycles. MWI1 and MWI0 are set to 1 during RESET.

MWI1	MWI0	Wait State
0	0	0
0	1	1
1	0	2
1	1	3

IWI1, IWI0: I/O Wait Insertion (bits 5-4). Specifies the number of wait states introduced into CPU or DMAC I/O access cycles. IWI1 and IWI0 are set to 1 during RESET. See the section on Wait-State Generation for details.

IWI1	IWI0	Wait State
0	0	0
0	1	2
1	0	3
1	1	4

DMS1, DMS0: DMA Request Sense (bits 3-2). DMS1 and DMS0 specify the DMA request sense for channel 0 and channel 1 respectively. When reset to 0, the input is level sense. When set to 1, the input is edge sense. DMS1 and DMS0 are cleared to 0 during RESET.

DMSi	Sense
1	Edge Sense
0	Level Sense

Typically, for an input/source device, the associated DMS bit should be programmed as 0 for level sense because the device has a relatively long time to update its Request signal after the DMA channel reads data from it in the first of the two machine cycles involved in transferring a byte.

An output/destination device has much less time to update its Request signal, after the DMA channel starts a write operation to it, as the second machine cycle of the two cycles involved in transferring a byte. With zero-wait state I/O cycles, which apply only to the ASCIs, it is impossible for a device to update its Request signal in time, and edge sensing must be used.

With one-wait-state I/O cycles (the fastest possible except for the ASCIs), it is unlikely that an output device will be able to update its Request in time, and edge sense is required.

DIM1, DIM0: DMA Channel 1 I/O and Memory Mode (bits 1-0). Specifies the source/destination and address modifier for channel 1 memory to/from I/O transfer modes DIM1 and DIM0 are cleared to 0 during RESET.

Table 13. Channel 1 Transfer Mode

DIM1	DMI0	Transfer Mode	Address Increment/Decrement
0	0	Memory→I/O	MAR1 +1, IAR1 fixed
0	1	Memory→I/O	MAR1–1, IAR1 fixed
1	0	I/O→Memory	IAR1 fixed, MAR1 + 1
1	1	I/O→Memory	IAR1 fixed, MAR1 –1

INTERRUPT VECTOR LOW REGISTER

Mnemonic: IL

Address 33

Bits 7-5 of IL are used as bits 7-5 of the synthesized inter rupt vector during interrupts for the $\overline{INT1}$ and $\overline{INT2}$ pin and for the DMAs, ASCIs, PRTs, and CSI/O. These thre bits are cleared to 0 during Reset (Figure 75).

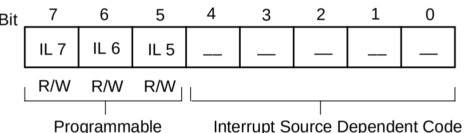


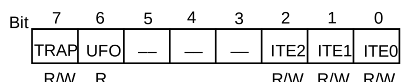
Figure 75. Interrupt Vector Low Register (IL: I/O Address = 33H)

INT/TRAP CONTROL REGISTER

Mnemonics ITC

Address 34

INT/TRAP Control Register (ITC, I/O Address 34H). This register is used in handling TRAP interrupts and to enable or disable Maskable Interrupt Level 0 and the $\overline{INT1}$ and $\overline{INT2}$ pins.



TRAP (bit 7). This bit is set to 1 when an undefined Opcode is fetched. TRAP can be reset under program control by writing it with a 0, however, it cannot be written with 1 under program control. TRAP is reset to 0 during RESET.

UFO: Undefined Fetch Object (bit 6). When a TRAP interrupt occurs, the contents of UFO allow determination of the starting address of the undefined instruction. This i necessary since the TRAP may occur on either the secon or third byte of the Opcode. UFO allows the stacked PC value to be correctly adjusted. If UFO = 0, the first Opcod should be interpreted as the stacked PC-1. If UFO = 1, th first Opcode address is stacked PC-2. UFO is Read-Only

ITE2, 1, 0: Interrupt Enable 2, 1, 0 (bits 2-0). ITE2 an ITE1 enable and disable the external interrupt inputs /INT and /INT1, respectively. ITE0 enables and disables inter rupts from the on-chip ESCC, CTCs and Bidirectional Cen tronics controller as well as the external interrupt inpu /INT0. A 1 in a bit enables the corresponding interrupt leve while a 0 disables it. A Reset sets ITE0 to 1 and clear ITE1 and ITE2 to 0.

TRAP Interrupt. The Z80180/Z8S180/Z8L180 generate a non-maskable (not affected by the state of IEF1) TRAI interrupt when an undefined Opcode fetch occurs. Thi feature can be used to increase software reliability, imple ment an "extended" instruction set, or both. TRAP may oc cur during Opcode fetch cycles and also if an undefine

Opcode is fetched during the interrupt acknowledge cycle for $\overline{INT}_0$ when Mode 0 is used.

When a TRAP interrupt occurs, the Z80180/Z8S180/Z8L180 operates as follows:

1. The TRAP bit in the Interrupt TRAP/Control (ITC) register is set to 1.
2. The current PC (Program Counter) value, reflecting the location of the undefined Opcode, is saved on the stack.
3. The Z80180/Z8S180/Z8L180 vectors to logical address 0. Note that if logical address 0000H is mapped to physical address 00000H, the vector is the same as for RESET. In this case, testing the TRAP bit in ITC will reveal whether the restart at physica address 00000H was caused by RESET or TRAP.

All TRAP interrupts occur after fetching an undefined sec ond Opcode byte following one of the "prefix" Opcode CBH, DDH, EDH, or FDH, or after fetching an undefine third Opcode byte following one of the "double prefix" Op codes DDCBH or FDCBH.

The state of the Undefined Fetch Object (UFO) bit in ITC allows TRAP software to correctly "adjust" the stacked PC depending on whether the second or third byte of the Op code generated the TRAP. If UFO=0, the starting addres of the invalid instruction is equal to the stacked PC-1. I UFO=1, the starting address of the invalid instruction i equal to the stacked PC-2.

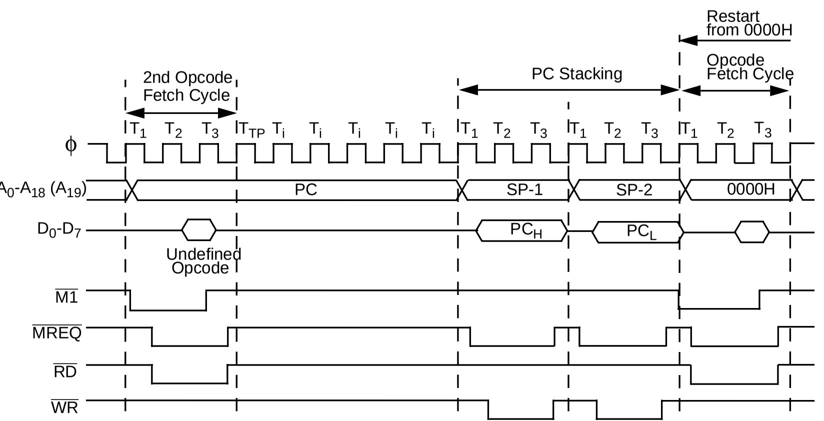


Figure 76. TRAP Timing-2nd Opcode Undefined



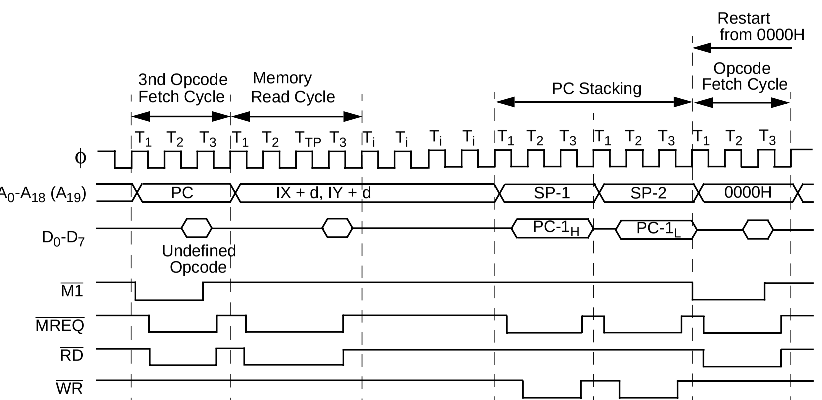


Figure 77. TRAP Timing-3rd Opcode Undefined

REFRESH CONTROL REGISTER

Mnemonic RCR

Address 36

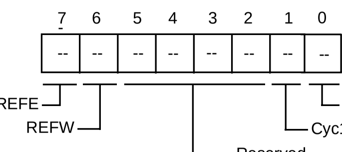


Figure 78. Refresh Control Register (RCA: I/O Address = 36H)

The RCR specifies the interval and length of refresh cycles, while enabling or disabling the refresh function.

REFE: Refresh Enable (bit 7). REFE = disables the refresh controller while REFE = 1 enables refresh cycle insertion. REFE is set to 1 during RESET.

REFW: Refresh Wait (bit 6). REFW = 0 causes the refresh cycle to be two clocks in duration. REFW = 1 causes the refresh cycle to be three clocks in duration by adding a refresh wait cycle (TRW). REFW is set to 1 during RESET.

CYC1, 0: Cycle Interval (bit 1,0). CYC1 and CYC0 specify the interval (in clock cycles) between refresh cycles. In the case of dynamic RAMs requiring 128 refresh cycles every 2 ms (0r 256 cycles in every 4 ms), the required refresh interval is less than or equal to 15.625 µs. Thus, the underlined values indicate the best refresh interval depending on CPU clock frequency. CYC0 and CYC1 are cleared to 0 during RESET (see Table 14).

Table 14. DRAM Refresh Intervals

CYC1	CYC0	Insertion Interval	Ø: 10 MHz	8 MHz	6 MHz	4 MHz	2.5 MHz
			Time Interval				
0	0	10 states	(1.0 µs)*	(1.25 µs)*	1.66 µs	2.5 µs	4.0 µs
0	1	20 states	(2.0 µs)*	(2.5 µs)*	3.3 µs	5.0 µs	8.0 µs
1	0	40 states	(4.0 µs)*	(5.0 µs)*	6.6 µs	10.0 µs	16.0 µs
1	1	80 states	(8.0 µs)*	(10.0 µs)*	13.3 µs	20.0 µs	32.0 µs

Note: *calculated interval

Refresh Control and Reset. After RESET, based on the initialized value of RCR, refresh cycles will occur with an interval of 10 clock cycles and be 3 clock cycles in duration.

Dynamic RAM Refresh Operation

1. Refresh Cycle insertion is stopped when the CPU is in the following states:
   a. During RESET
   b. When the bus is released in response to BUSREQ.
   c. During SLEEP mode.
   d. During WAIT states.
2. Refresh cycles are suppressed when the bus is released in response to BUSREQ. However, the refresh timer continues to operate. Thus, the time at which the first refresh cycle occurs after the Z80180/Z8S180/Z8L180 re-acquires the bus depends on the refresh timer and has no timing relationship with the bus exchange.
3. Refresh cycles are suppressed during SLEEP mode. If a refresh cycle is requested during SLEEP mode, the refresh cycle request is internally "latched" (until replaced with the next refresh request). The "latched" refresh cycle is inserted at the end of the first machine cycle after SLEEP mode is exited. After this initial cycle, the time at which the next refresh cycle occurs depends on the refresh time and has no relationship with the exit from SLEEP mode.
4. The refresh address is incremented by one for each successful refresh cycle, not for each refresh. Thus, independent of the number of "missed" refresh requests, each refresh bus cycle will use a refresh address incremented by one from that of the previous refresh bus cycles.

MMU COMMON BASE REGISTER

Mnemonic CBR

Address 38

MMU Common Base Register (CBR). CBR specifies the base address (on 4 KB boundaries) used to generate a 20 bit physical address for Common Area 1 accesses. All bits of CBR are reset to 0 during RESET.

Bit	7	6	5	4	3	2	1	0
	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Figure 79. MMU Common Base Register (BBR: I/O Address = 38H)

MMU BANK BASE REGISTER (BBR).

Mnemonic BBR

Address 39

BBR specifies the base address (on 4 KB boundaries used to generate a 19-bit physical address for Bank Are accesses. All bits of BBR are reset to 0 during RESET.

Bit	7	6	5	4	3	2	1	0
	BB7	BB6	BB5	BB4	BB3	BB2	BB1	BB0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Figure 80. MMU Bank Base Register (BBR: I/O Address = 39H)

MMU COMMON/BANK AREA REGISTER (CBAR).

Mnemonic CBAR

Address 3A

CBAR specifies boundaries within th Z80180/Z8S180/Z8L180 64 KB logical address space fo up to three areas; Common Area), Bank Area and Com mon Area 1.

MMU Common/Bank Area Register (CBAR: I/O Address = 3 AH)

Bit	7	6	5	4	3	2	1	0
	CA3	CA2	CA1	CA0	BA3	BA2	BA1	BA0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Figure 81. MMU Common/Bank Area Register (CBAR: I/O Address = 3 AH

CA3-CA0:CA (bits 7-4). CA specifies the start (Low) address (on 4 KB boundaries) for the Common Area 1. This also determines the last address of the Bank Area. All bits of CA are set to 1 during RESET.

BA-BA0 (bits 3-0). BA specifies the start (Low) addres (on 4 KB boundaries) for the Bank Area. This also deter mines the last address of the Common Area 0. All bits c BA are set to 1 during RESET.

OPERATION MODE CONTROL REGISTER

Mnemonic OMCR

Address 3E

The Z80180/Z8S180/Z8L180 is descended from two different "ancestor" processors, Zilog's original Z80 and the Hitachi 64180. The Operating Mode Control Register (OMCR) can be programmed to select between certain differences between the Z80 and the 64180.

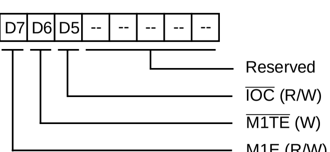


Figure 82. Operating Control Register (OMCR: I/O Address = 3EH)

M1E (M1 Enable). This bit controls the M1 output and i set to a 1 during reset.

When M1E=1, the M1 output is asserted Low during th opcode fetch cycle, the INT0 acknowledge cycle, and th first machine cycle of the NMI acknowledge.

On the Z80180/Z8S180/Z8L180, this choice makes th processor fetch an RETI instruction once, and when fetch ing an RETI from zero-wait-state memory will use thre clock machine cycles which are not fully Z80-timing com patible but are compatible with the on-chip CTCs.

When MIE=0, the processor does not drive M1 Low durin instruction fetch cycles, and after fetching an RETI instruc tion once with normal timing, it goes back and re-fetche the instruction using fully Z80-compatible cycles that in clude driving M1 Low. This may be needed by some exter nal Z80 peripherals to properly decode the RETI instruc tion.I/O Control Register (ICR).

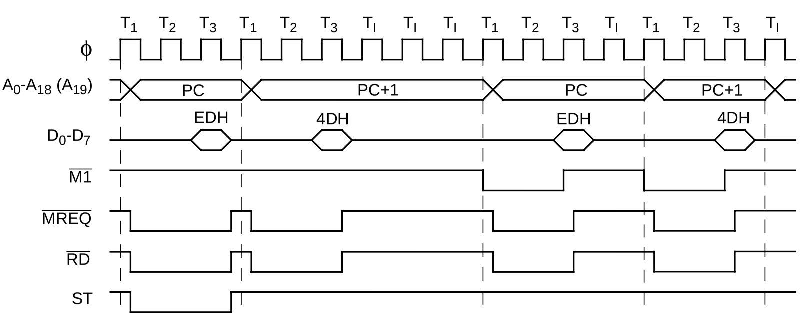


Figure 83. RETI Instruction Sequence with MIE=0

ICR allows relocating of the internal I/O addresses. ICR also controls enabling/disabling of the IOSTOP mode (Figure 84)

Bit	7	6	5	4	3	2	1	0
	IOA7	IOA6	IOSTP	--	--	--	--	--
	R/W	R/W	R/W					

Figure 84. I/O Control Register (ICR: I/O Address = 3FH)

IOA7, 6: I/O Address Relocation (bits 7,6). IOA7 and IOA6 relocate internal I/O as shown in Figure 85. Note that the high-order 8 bits of 16-bit internal I/O address are always 0. IOA7 and IOA6 are cleared to 0 during Reset.

Figure 85. I/O Address Relocation

IOSTP. IOSTOP Mode (bit 5). IOSTOP mode is enabled when IOSTP is set to 1. Normal I/O operation resumes when IOSTOP is reprogrammed or Reset to 0

APPENDICE C: SCHEMI ELETTRICI

In questa appendice sono disponibili gli schemi elettrici delle interfaccie per la **GPC® 183** più frequentemente utilizzate. Tutte queste interfaccie possono essere prodotte autonomamente dall'utente mentre solo alcune di esse sono schede **grifo®** standard e possono quindi essere ordinate.

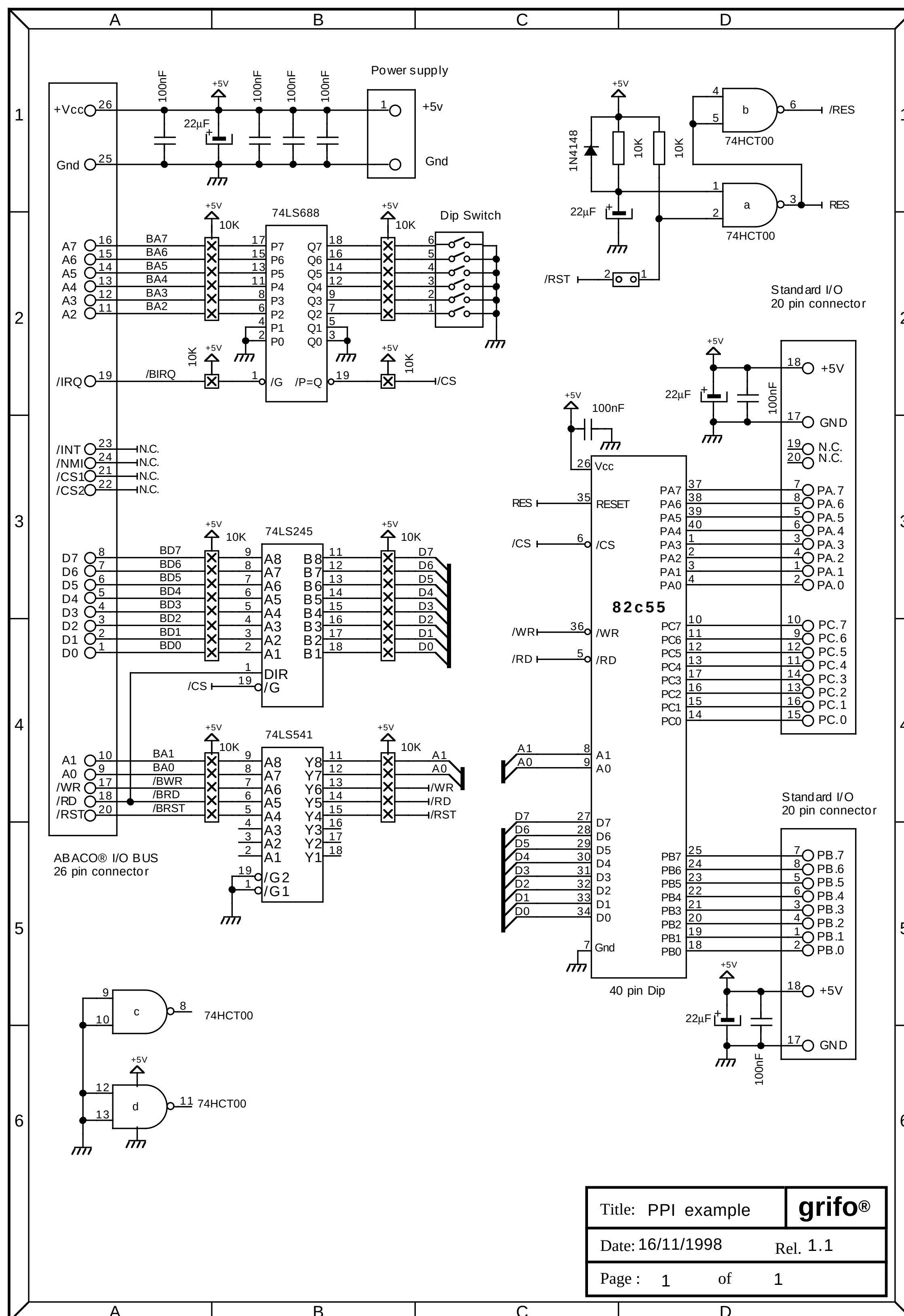


FIGURA C1: SCHEMA ELETTRICO DI ESPANSIONE PPI

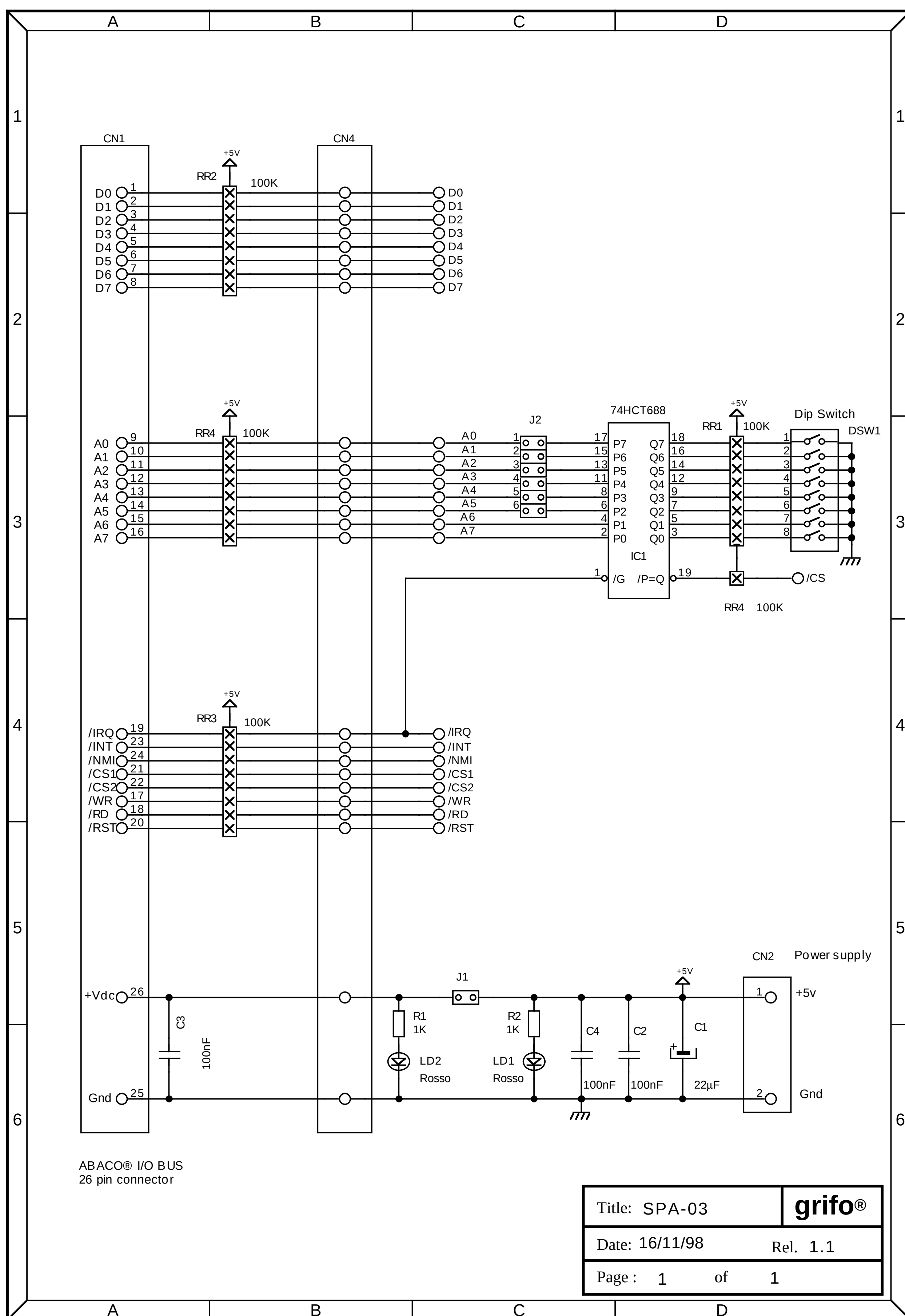


Figura C2: Schema elettrico SPA 03

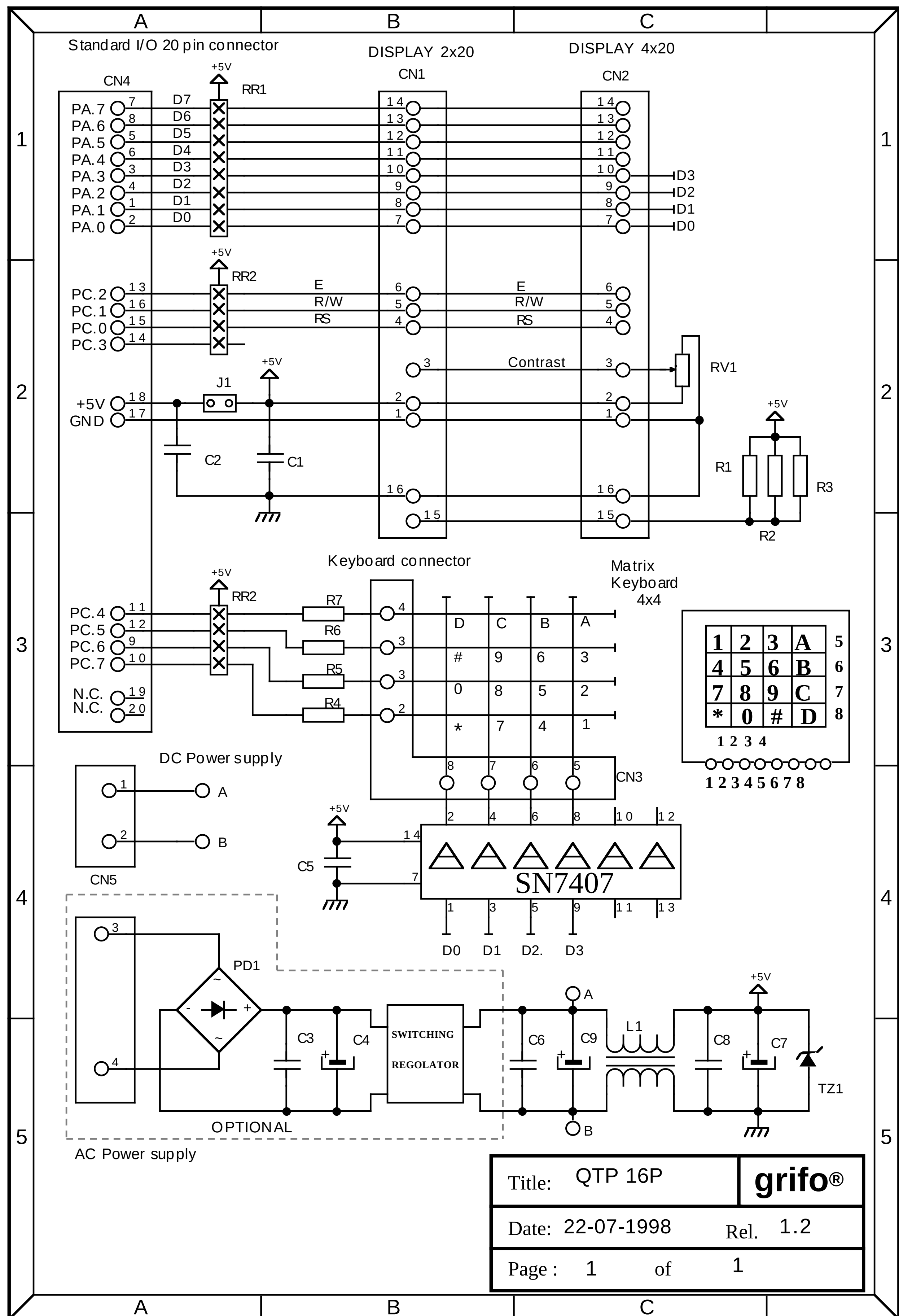


Figura C3: Schema elettrico QTP 16P

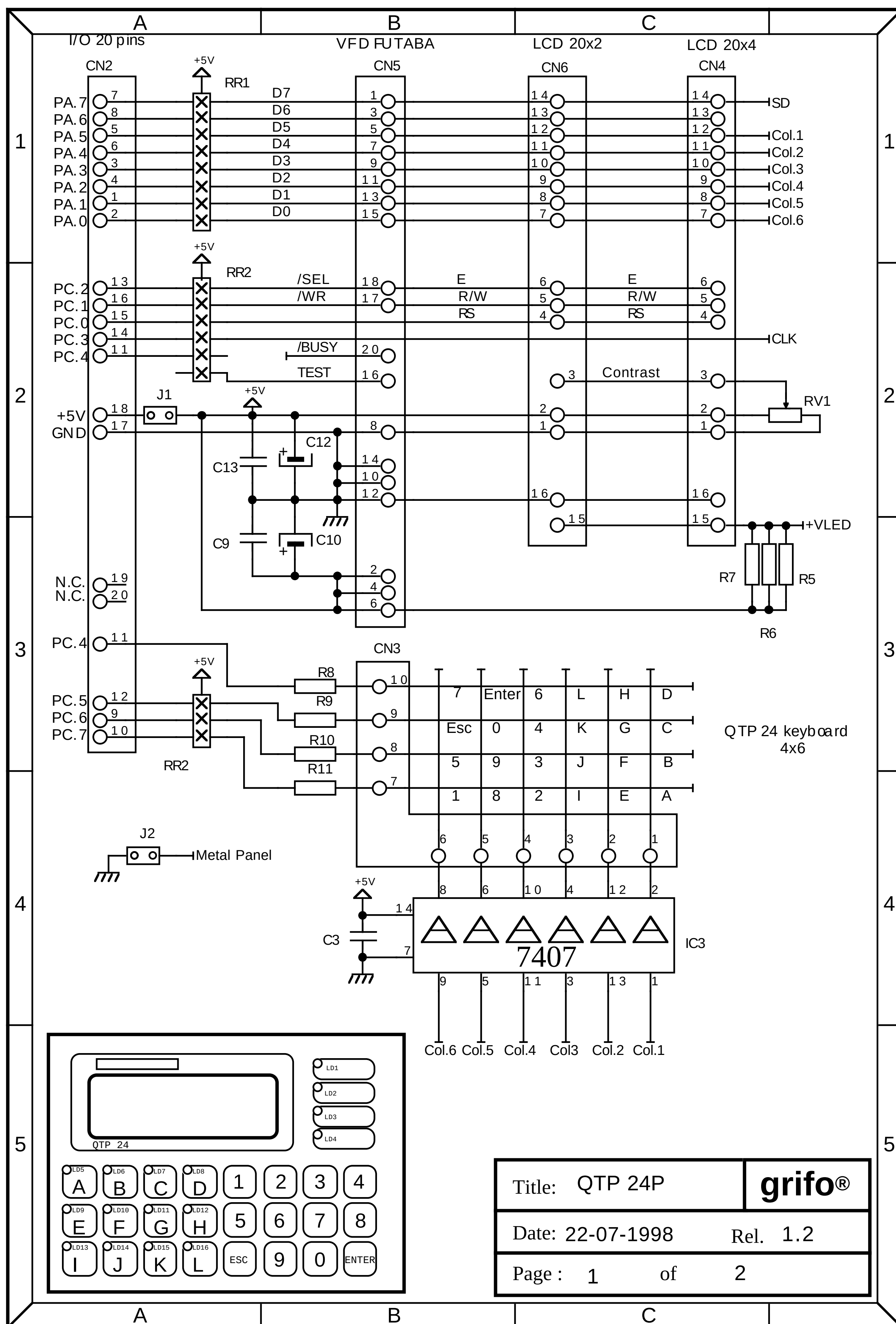


Figura C4: Schema elettrico QTP 24P 1/2

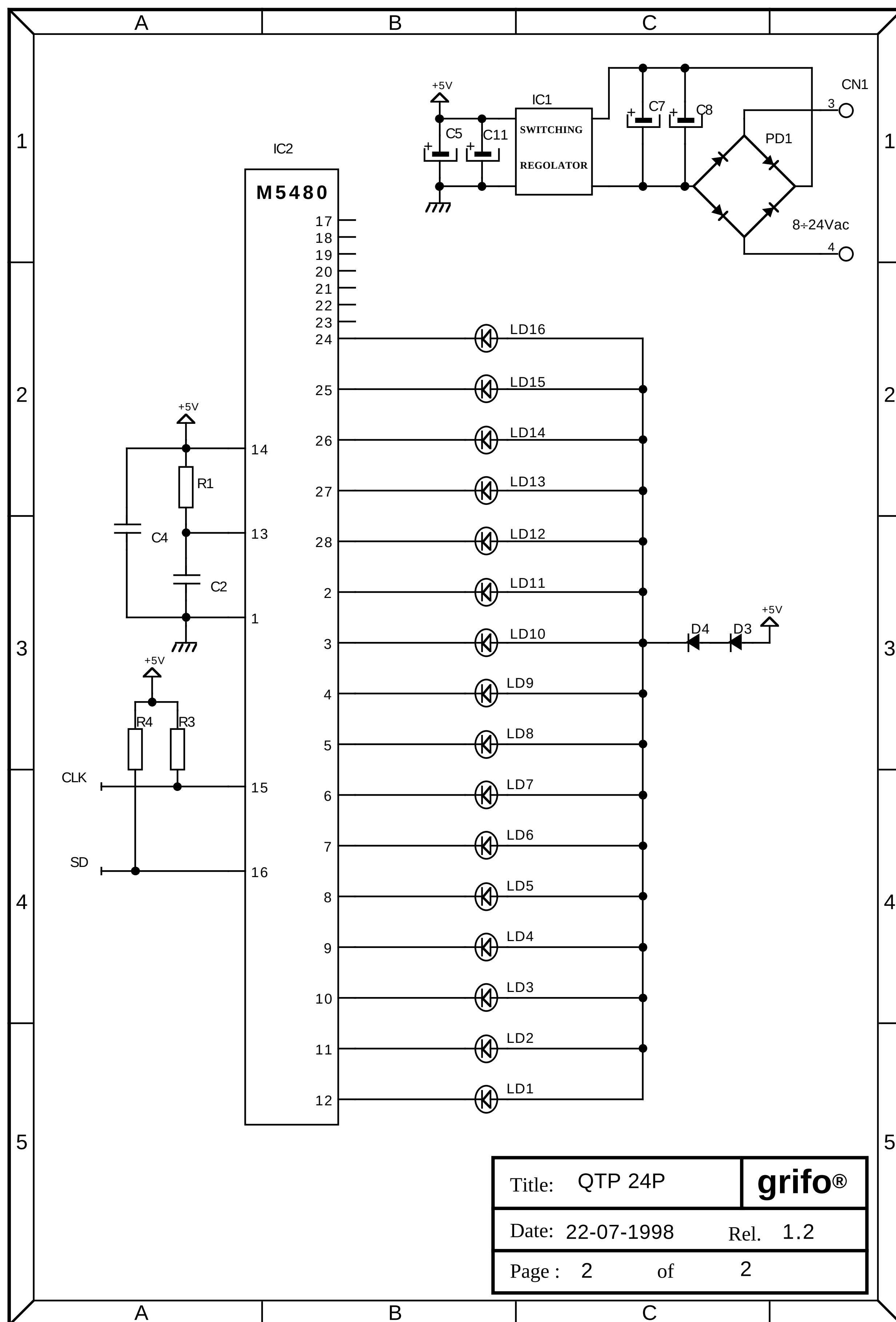


FIGURA C5: SCHEMA ELETTRICO QTP 24P 2/2

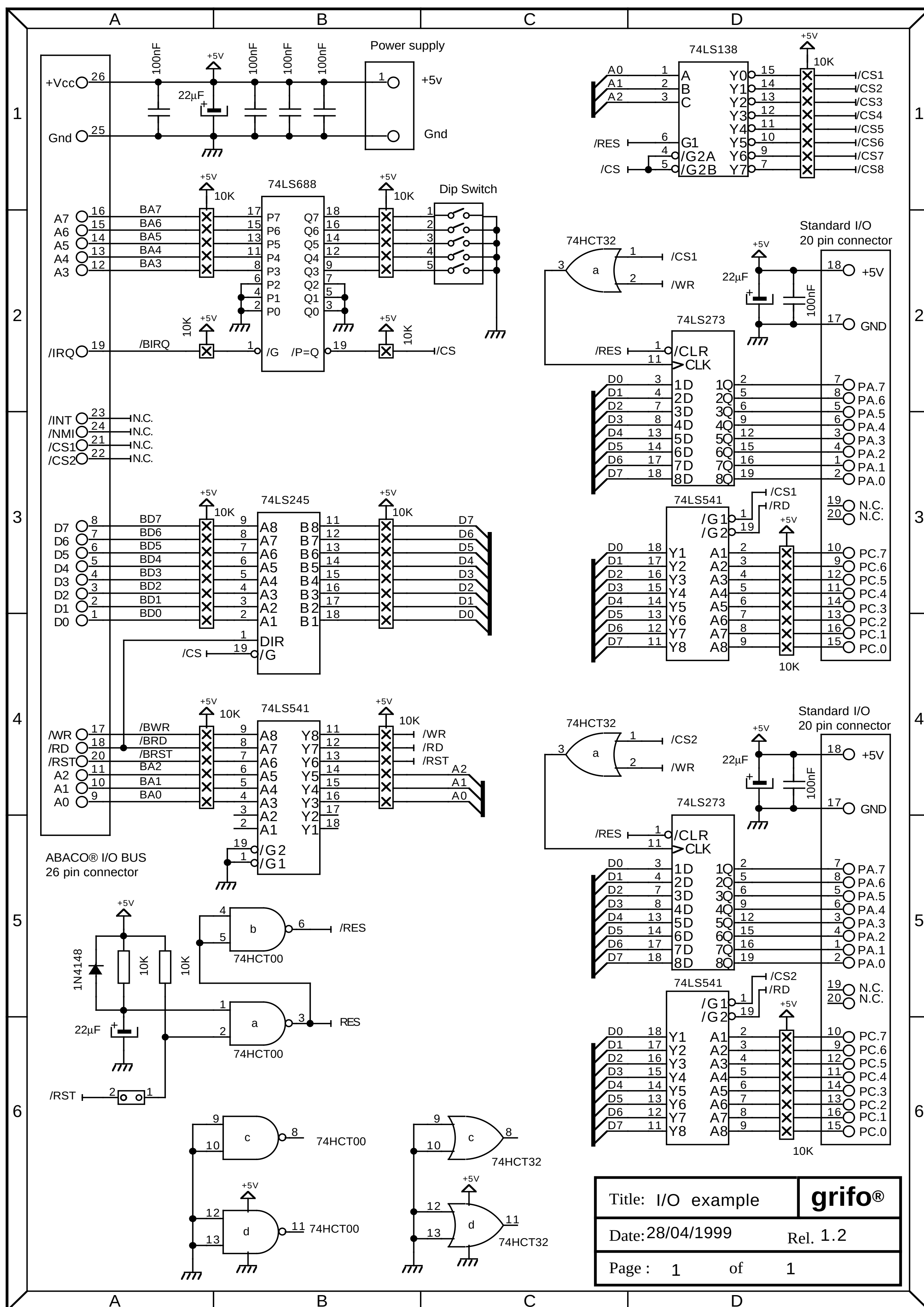


FIGURA C6: SCHEMA ELETTRICO DI I/O SU ABACO® I/O BUS

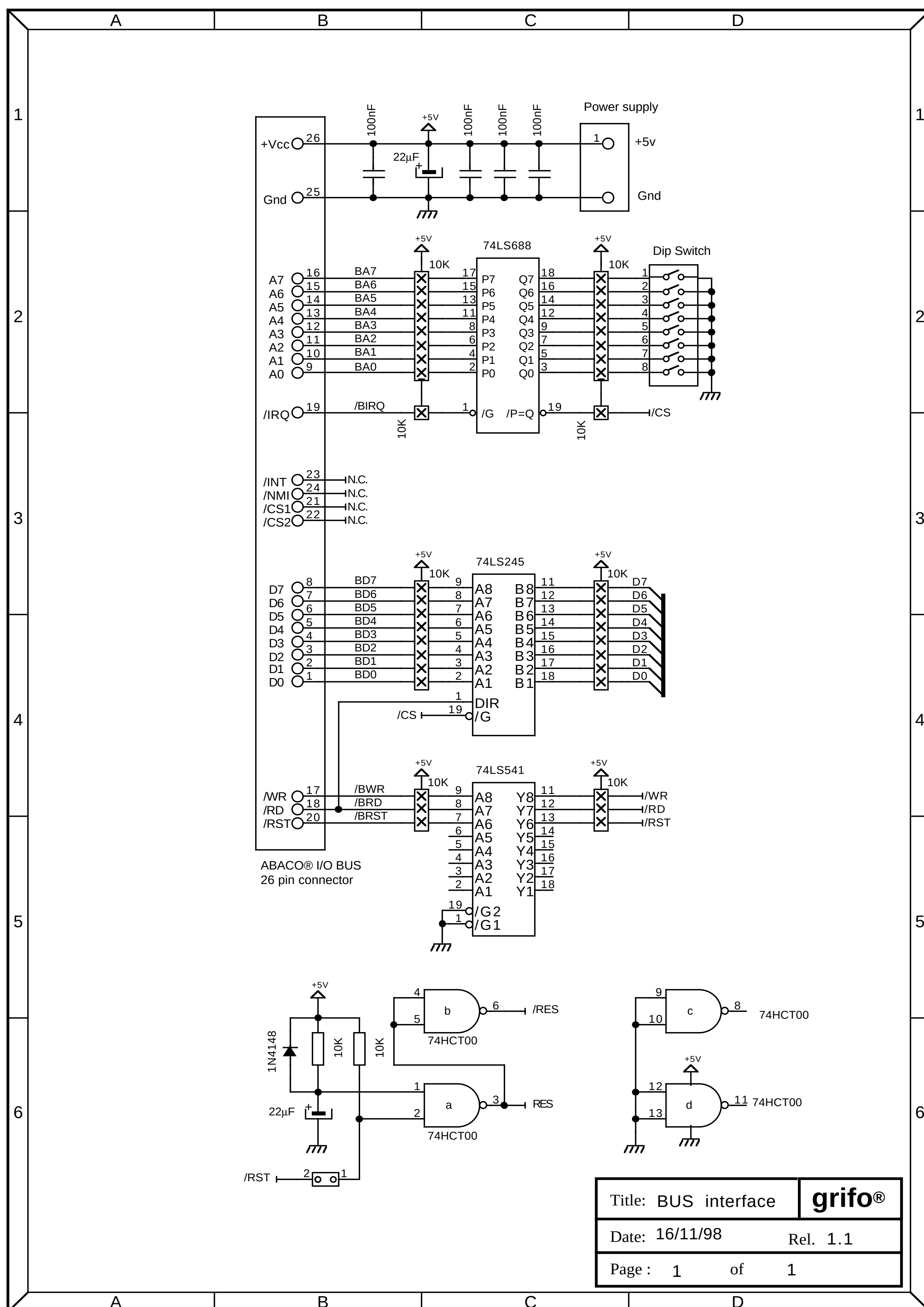


FIGURA C7: SCHEMA ELETTRICO INTERFACCIA BUS

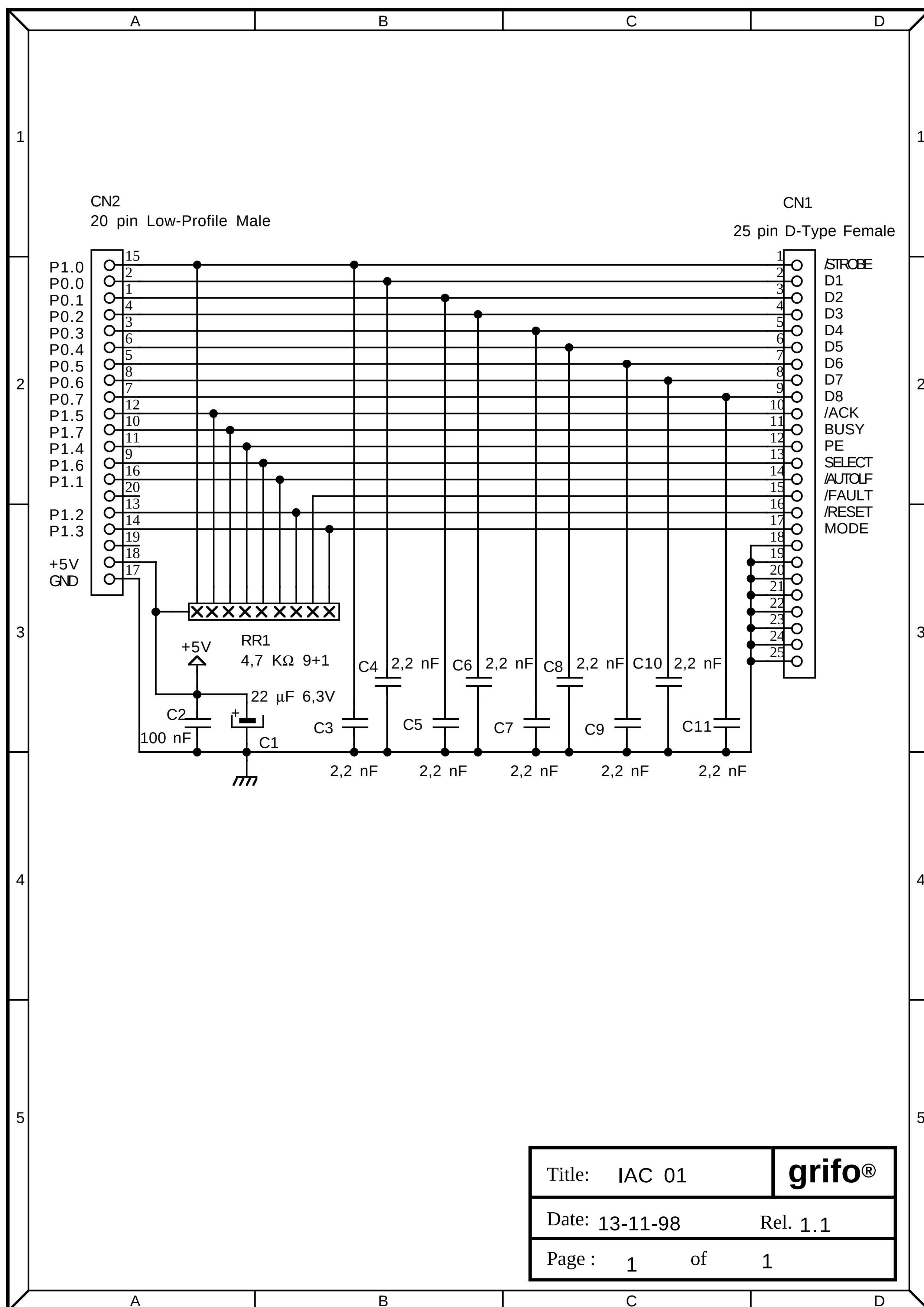


FIGURA C8: SCHEMA ELETTRICO IAC 01

APPENDICE C: INDICE ANALITICO

R

S

T

U

V

W